

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154795

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁸
H 0 1 L 27/04
21/822
H 0 1 F 17/00
41/04

識別記号

F I
H 0 1 L 27/04 L
H 0 1 F 17/00 C
41/04 B

審査請求 未請求 請求項の数24 F D 外国語出願 (全 51 頁)

(21) 出願番号 特願平8-344422
(22) 出願日 平成8年(1996)11月19日

(71) 出願人 596184672
アドバンスド マテリアルズ エンジニア
リング リサーチ インコーポレイテッド
Advanced Materials
Engineering Research,
Inc.
アメリカ合衆国、カリフォルニア州
94086、サニーベイル、サンタ アナ コ
ート 250
(74) 代理人 弁理士 林 宏 (外1名)

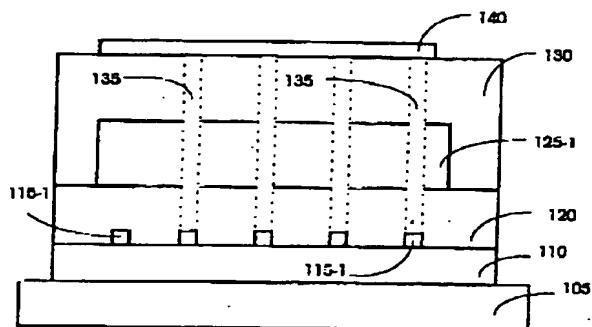
最終頁に続く

(54) 【発明の名称】 半導体チップにおけるインダクター及びその製造方法

(57) 【要約】

【課題】 ICの構造と製造工程に関するものであり、とくに誘導回路をIC回路の一部として組み入れ、そのラインの幅を $1\mu\text{m}$ より小さくすることで、当該誘導回路を完全にIC回路の一部とする。

【解決手段】 半導体チップの数層間を貫く複数のヴァイア接続線135を利用し、半導体チップの数層上に置かれており複数の誘導線115-1等を結合して形成される誘導線が半導体チップのIC誘導コイルを形成し、前記の数層上に置かれた誘導線と複数のヴァイア接続線135はIC工程により半導体チップ上に製造される。



【特許請求の範囲】

【請求項1】半導体チップ上の集積回路（IC）上の数層を貫く複数のヴァイア接続線を利用し、半導体チップ上の数層に配置された複数の誘導線を連結して、半導体チップ上にIC誘導コイルを形成する誘導線を含み、そして、その数層に配置された当該誘導線と複数のヴァイア接続線が半導体チップ上のIC製造工程において製造されたところの、半導体チップにおけるIC誘導回路。

【請求項2】高磁化係数材料から組成される誘導コアを含み、誘導電流が誘導され、誘導コアに誘導磁場が発生するよう誘導コイルが誘導コアの近くに配置されている請求項1に記載のIC誘導回路。

【請求項3】誘導コアとIC誘導コイルがIC製造工程で製造され、そのラインの幅がほぼ $1\mu\text{m}$ またはそれ以下である請求項2に記載のIC誘導回路。

【請求項4】誘導コイルが誘導コアの近くに配置され、且つ誘導コアの内部に配置された請求項1に記載のIC誘導回路。

【請求項5】誘導コイルが誘導コアの近くに配置され、且つ誘導コアの外部に配置された請求項1に記載のIC誘導回路。

【請求項6】誘導コアの中に配置されたIC誘導コイルが、誘導コア内における中間層の底部表面に配置された複数の底部誘導線、および中間層の上部表面に配置された複数の上部誘導線を含み、

そして、底部誘導線と上部誘導線をつないで、中間層を囲む誘導線を構成するための、中間層を貫く複数のヴァイア接続線を含む、請求項4に記載のIC誘導回路。

【請求項7】誘導線に囲まれる誘導コア内部の中間層が高磁化係数材料層である請求項6に記載のIC誘導回路。

【請求項8】IC誘導コイルにより囲まれる誘導コアと中間層の両方が非導電性の高磁化係数材料から組成される請求項6に記載のIC誘導回路。

【請求項9】IC誘導コイルにより囲まれる誘導コアと中間層の両方が導電性の高磁化係数材料から組成され、誘導コアと中間層の両方がIC誘導コイルから絶縁されている請求項7に記載のIC誘導回路。

【請求項10】誘導コアの外に配置されたIC誘導コイルが、誘導コアを構成する高磁化係数材料層の底部表面に配置された複数の底部誘導線、および高磁化係数材料層の上部表面に配置された複数の上部誘導線を含み、そして、底部誘導線と上部誘導線をつないで、誘導コアを形成する高磁化係数材料層を囲む誘導線を形成するための、高磁化係数材料層を貫く複数のヴァイア接続線を含む、請求項5に記載のIC誘導回路。

【請求項11】IC誘導コイルにより囲まれる誘導コアが非導電性の高磁化係数材料から組成される請求項10に記載のIC誘導回路。

【請求項12】IC誘導コイルにより囲まれる誘導コアが導電性の高磁化係数材料から組成され、誘導コアがIC誘導コイルから絶縁されている請求項10に記載のIC誘導回路。

【請求項13】誘導コアが、底部誘導線と上部誘導線から誘導コアを絶縁するため上部表面と底部表面に配置した絶縁層を含む、請求項12に記載のIC誘導回路。

【請求項14】高磁化係数材料から組成される誘導コアと、

さらに、誘導電流が誘導されることで、誘導コアに誘導磁場を発生させる誘導コア内に配置された少なくとも1個のIC誘導コイルから構成され、

当該IC誘導コイルが、誘導コア内における中間層の底部表面に配置された複数の底部誘導線と中間層の上部表面に配置された複数の上部誘導線を含み、

さらに当該IC誘導コイルが、底部誘導線と上部誘導線をつないで中間層を囲む誘導線を構成するための中間層を貫く複数のヴァイア接続線を含み、

当該誘導コア、その誘導コア内部の当該中間層は、当該IC誘導コイルに囲まれ、当該IC誘導コイルが誘導コアと中間層へ電流が伝わるのを阻止するよう配置され、当該誘導コアとIC誘導コイルがIC製造工程においてICチップ上に製造され、各々のラインの幅がほぼ $1\mu\text{m}$ またはそれ以下である半導体チップ上に製造されたIC誘導回路。

【請求項15】高磁化係数材料から組成される誘導コアと、

さらに、誘導電流が誘導されることで、誘導コアに誘導磁場を発生させる誘導コア外に配置された少なくとも1個のIC誘導コイルから構成され、

当該IC誘導コイルが、誘導コア内に形成する高磁化係数材料層の底部表面に配置された複数の底部誘導線と高磁化係数材料層の上部表面に配置された複数の上部誘導線を含み、

当該IC誘導コイルがさらに、底部誘導線と上部誘導線をつないで、誘導コアを形成する高磁化係数材料層を囲む誘導コイルを形成するための高磁化係数材料層を貫く複数のヴァイア接続線を含み、

IC誘導コイルに囲まれる誘導コアと当該IC誘導コイルが、誘導コアへ電流が伝わるのを阻止するよう配置され、

当該誘導コアとIC誘導コイルがIC製造工程においてICチップ上に製造され、各々のラインの幅がほぼ $1\mu\text{m}$ またはそれ以下である半導体チップ上に製造されたIC誘導回路。

【請求項16】誘導コアが導電性の高磁化係数材料から組成され、底部誘導線と上部誘導線から誘導コアを絶縁するため上部表面と底部表面に配置した絶縁層を含む、請求項15に記載のIC誘導回路。

【請求項17】誘導コイルが、半導体チップの内部回路

と半導体チップ上におかれたボンディング・パッドに接続され、内部回路が静電気放電または過電圧によるダメージから保護された請求項1に記載のIC誘導回路。

【請求項18】半導体チップ上の離れた水平面に形成された複数の誘導コイルを含み、かつ、水平面間を貫き、2つの誘導コイルを連結して、半導体上のIC誘導コイルを組み合わせるための複数のウェィア接続線を含み、さらに、複数水平面に配置された誘導コイルと複数のウェィア接続線が半導体のIC製造工程において製造された半導体上に製造されたIC誘導回路。

【請求項19】(a) 基板上に3層構造を形成およびパターン化し、3層構造には複数の底部誘導線、複数の上部誘導線、高磁化係数材料から組成される誘導コアを含み、当該誘導コアを上部誘導線と底部誘導線から絶縁し、

(b) 誘導コアを貫く複数の連結手段を形成し、それぞれの上部誘導線に対応の底部誘導線に接続して、誘導コアを囲む組み合わせられたIC誘導コイルを形成し、誘導電流が誘導されて、誘導コアに誘導磁場を発生させる、という段階を含む、IC製造工程におけるIC誘導回路の製造方法。

【請求項20】3層構造を形成およびパターン化する請求項19の段階(a)と、連結手段を形成する段階(b)が、ライン幅がほぼ1 μ mまたはそれ以下の誘導回路を製造するIC製造工程を使用する請求項19に記載のIC誘導回路の製造方法。

【請求項21】(a) ①高磁化係数材料から組成される底部誘導コア層、②底部高磁化係数材料層上の複数の底部誘導線、③底部誘導線の上の中間層、④誘導体層上の複数の上部誘導線、⑤高磁化係数材料から組成される誘導コア層を含む、基板上の5層構造を形成およびパターン化して、上部および底部誘導コア層および中間層を上部および底部誘導線から絶縁し、

(b) 中間層を貫く複数の連結手段を形成し、それぞれの上部誘導線に対応の底部誘導線に接続して、上部および底部誘導コア層を含む空間内に組み合わせられたIC誘導コイルを形成し、誘導電流が誘導されて、誘導コア層に誘導磁場を発生させる、という段階を含むIC製造工程におけるIC誘導回路の製造方法。

【請求項22】5層構造を形成、パターン化する請求項21の段階(a)と連結手段を形成する段階(b)が、ライン幅がほぼ1 μ mまたはそれ以下の誘導回路を製造するIC製造工程を利用する請求項21に記載のIC誘導回路の製造方法。

【請求項23】中間層を形成するための段階(a)が、高磁化係数材料を利用して中間層を形成する請求項21に記載のIC誘導回路の製造方法。

【請求項24】上部および底部誘導コア層と中間層を形成するための段階(a)が、非導電性の高磁化係数材料か

ら組成される材料を使用して当該層を形成する請求項21に記載のIC誘導回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップにおけるインダクター（IC誘導回路）及びその製造方法に関するものであり、更に詳しくは、集積回路（IC）の一部としてライン幅がほぼ1 μ mあるいはそれ以下の誘導回路を設置し、誘導回路が完全に組み入れられ集積回路（IC）部品として採用されるインダクター（IC誘導回路）及びその製造方法に関するものである。

【0002】

【従来の技術】VLSI（very large system integration）およびULSI（ultra-large system integration）などの技術革新で回路は絶え間なく小型化されているが、ICについては技術的な問題から、誘導回路をICに設置するに適さない状況にある。IC製造技術が一般的に「層指向」で、連続で多数の水平面に適用するプロセスを含むことから、この問題が発生する。しかし、誘導回路は「非平面」構造を持ち、一般的に連続螺旋状の形態を有する。この特徴的な非平面構造により誘導回路をICの一部として受け入れることができない。この技術上の問題によりIC技術の応用は深刻に制限されている。誘導回路は多くのフィルター、発振器、共鳴器、変圧器および多くのその他制御回路に使用され、伝達シグナル発生と処理、エネルギーの貯蔵、静電気放電（ESD）や過電圧（EOS）からの保護に応用される。この誘導回路をICチップに組み入れられないという問題は、この領域における進歩を多に制限するものである。以下に示すように、誘導回路を含むデバイスの従来の設計および製造技術は長い間あまり進歩していない。このような困難のために、ICを組み入れる全ての装置は、IC製造技術の恩恵を受けていない。このため、誘導回路の使用が必要な部品はIC製造のデバイスに比べて容積が大きくてコストが高い。このため精密で有効なIC製造技術を利用して小型化し、量産することが難しい。

【0003】米国特許第4,783,646号の「盗難物品捜査タグシートとその製造方法」（1988年11月8日発行）において、松崎は盗難物品捜査タグシートを示している。このタグシートには転送アンテナ部分、受信アンテナ部分と上記2部分を連結する誘導器部分から構成されている。タグシートはさらに半導体のダイオードチップを有し、半導体の基板の上に設置され、誘導器部分の最初の部分に接続され、かつ基板の上部にSchottkyバリア電極を形成する。タグシートはさらに第2の導電パターンを有し、Schottkyバリア電極の導電体に連結されている。半導体のダイオードチップと誘導器部分は互いに平行に連結し、LC共鳴器を形成する。共鳴器の周波数はダイオードの寄生（parasitic）の静電容量

とインダクタンスにより決定され、このタッグシートにおいては2.4 nHである。

【0004】松崎はLC共鳴回路をプリント回路ボードに設置する方法を示している。しかし、松崎の方法はLC回路を製造する形態において、ダイオードの電極と平行に誘導線を連結することにより、インダクタンスが寄生の(parasitic)静電容量と一緒に発生するもので、誘導器のみをICチップ上に製造する方法を示していない。さらに、松崎が示す共鳴器のサイズは数百 μm の範囲にあり、松崎が示した技術と部品の形態はラインの幅が数 μm または1 μm 以下の範囲においてICデバイスを製造するのに応用できない。

【0005】この他、米国特許第4,841,253号の「増幅器のDCバイアスのための多螺旋状誘導器」(1989年6月20日発行)において、Crabillはチップ上DCバイアスを持つモノリシック半導体(Monolithic semiconductor)を示しており、それにはそれぞれのバイアスと半導体回路をつなぐ複数の連結された螺旋状の誘導器を含む。図1、図2および図3に示す通り、これらの螺旋状誘導器を含むこの特許で請求された誘導手段はいずれもチップ外にある。これらのタイプの誘導回路は、水平面において螺旋として伸びるという特殊な形態のため、ICチップにおいて大きな部分を占めており、コンパクトなIC構成部分、とくにVLSIには不適當である。さらに平面構造により、この平らな螺旋状誘導器が供するインダクタンスは非常に限られている。Crabill法に示され使用されている導体はかなり制限されている。

【0006】上記の螺旋状誘導器以外に、多くの装置に利用される誘導回路はSikoraによる米国特許第4,800,323号の「 V_{BE} 反応電流制限回路を有する間歇的充電負荷のための単一端末の自己振動式DC-DCコンバーター」(1989年1月24日発行)やKitchenによる米国特許第4,845,580号の「AC-DCスパイク除去のバンドパスフィルター」(1989年7月4日発行)にも示されている。これらの発明に占められた誘導回路は、依然巻線回路の構成部分として紹介されている。これらの誘導回路は明らかにICデバイスの一部としてICチップ上に設置することができない。このため、IC装置製造において、とくに誘導回路を使用する必要がある電子デバイスにおいて、これらの制限を克服する構造と製造方法を提供する必要がある。

【0007】

【発明が解決しようとする課題】本発明の目的は、IC上における誘導回路の構造と製造工程を提供して、前述の従来の技術が抱える問題を克服することにある。とくに、本発明の目的は、誘導回路を組み入れられるICの構造と製造方法を提供することにある。本発明の他の目的は、誘導装置のサイズがVLSIまたはULSIのラインの幅に相当するまで縮小できるような、誘導回路を

ICデバイスの一部として組み入れられるICの構造と製造工程を提供することにある。本発明の他の目的は、誘導回路に合体する電子デバイスが小型化でき、IC製造工程の使用により量産できるような、誘導回路をICデバイスの一部として組み入れられるICの構造と製造工程を提供することにある。本発明の他の目的は、誘導回路に合体する電子デバイスの製造品質がIC製造工程の使用により改善されるような、誘導回路をICデバイスの一部として組み入れられるICの構造と製造工程を提供することにある。本発明の他の目的は、誘導回路に合体する電子デバイスにおけるスピード、制御の精密度またはその他機能的特徴のような性能が、IC技術でよりよい設計とより高い製造品質により改善されるような、誘導回路をICデバイスの一部として組み入れられるICの構造と製造工程を提供することにある。

【0008】

【課題を解決するための手段】本発明はICの構造と製造工程に関するものであり、とくに誘導回路をIC回路の一部として組み入れており、そのラインの幅が1 μm より小さくすることで、当該誘導回路を完全にIC回路の一部とする。簡単に言えば、好ましい実施例において、本発明は誘導回路を備える。この誘導回路は、基板層と誘電層とを含む半導体チップ上に製造される。この誘導回路は、誘電層で囲まれた高磁化係数材料(HMSM)で構成される誘導コアを含む。誘導コアを囲む誘電層はさらに、底部誘導線と、周囲の誘電層を貫く「ヴェイア(vias)」内の誘導線と、上部誘導線とを含む誘導線で囲まれる。誘導線は、IC製造工程を使用することによってパターン化される。したがって、誘導コアと、誘導コアを囲む誘電層と、周囲の誘導線は、誘導回路を形成し、誘導回路は、基板層と誘電層とを含む半導体チップ上に形成される。これらの目的と特徴は、一般的な技術者が以下に示す図を参照し、発明の説明と各実施例を読めば、本発明が述べる内容を十分に理解することができる。

【0009】

【発明の実施の形態】図1～図7はIC誘導回路100の製造工程を示す。図1は上部表面に誘導体層110を支える基板105を示している。導電層115は誘導体層110の上に配置される。導電層115はエッチングやフォトリソグラフィーのようなその他のIC加工法によりパターン化され、底部誘導線115-1を形成する。図2は、誘導体層110の上にパターン化された底部誘導線115-1の鳥瞰図である。図3は、第2の誘導体層120が底部誘導線115-1に形成されているの示している。高磁化係数材料層125は誘導体層120の上に配置される。高磁化係数材料層125はさらにエッチングされて誘導コア125-1を形成する。図4は、誘導コア125-1の上部に別の誘導体層130を設置する段階を示している。図5に示されるように、

複数のバイア (via) 135は小さいピンホールであり、誘導体層を貫いて形成されている。各バイアは導電物質で充たされて、底部誘導線115-1に電氣的に連結している。図6は別の導電層140が上部の誘導体層130上に形成されるのを示している。導電層140は図7に示す通り、さらにエッチングとパターン化により、上部誘導線140-1となる。各上部誘導線は2つのバイアと接続されて高磁化係数材料誘導コア125-1を囲む回路を形成する。別の誘導体層150が上部誘導線140-1に形成され、誘導回路100全体を保護するパッシベーションおよび絶縁層150となる。

【0010】さらに、誘導回路100の形態を一層明瞭に示すため、図9、図10および図11に、誘導線の鳥瞰図と透視図を示す。底部誘導線115-1と上部誘導線140-1をヴァイア接続線135で接続して誘導線を形成する。図10は、誘導コア125-1を含む誘導回路100を、図9は誘導コア125-1を含まない誘導回路100をそれぞれ示す。この誘導回路100形成のため採用された誘導線の三次元多面形態は誘導回路を形成し、IC回路設計者に従来の層指向IC設計概念が持つ問題を回避する技術を提供するものである。図12はESD保護のため一端の誘導線を内部回路155に、別の一端はボンディング・パッド160に接続し、静電気放電のため発生した過剰電流を放電させるという誘導回路100の透視図を示す。この静電気放電に反応して、誘導電圧と電流が誘導回路100により発生される。誘導回路100とは、接続された誘導線115-1、135および140-1であり、一定の高電圧と高電流が内部回路155で放電されるのを防ぎ、ESDやEOSによるダメージを最小限に抑える。

【0011】半導体チップ上に製造されたIC誘導回路100が本発明により開示される。IC誘導回路100は、上部表面および底部表面のような半導体チップ上の数層に配置される誘導線115-1、140-1のような複数の誘導線の結合から構成され、半導体チップ上の数層を貫き、半導体チップ105上にIC誘導コイルを形成するヴァイア接続線135が利用されている。このように、IC誘導コイルが半導体チップ105上に形成される。数層上に配置された誘導線と複数のヴァイア接続線はIC加工により半導体チップ105上に製造される。図8は誘導回路100から成る本発明の実施例を示している。誘導回路100は、基板105と誘導体層110を含む半導体チップ上に製造されている。誘導回路100は高磁化係数材料から組成され、誘導体層120、130に囲まれる誘導コア125-1を含む。120、130のような誘導体層は誘導コア125-1を囲み、さらに底部誘導線115-1、ヴァイア接続線135、および上部誘導線140-1を含む誘導線に囲まれている。誘導線はIC製造工程においてパターン化される。つまり、誘導コア125-1、誘導コア125-1

を囲む誘導体層(層120および130)、それを囲む誘導線(ライン115-1、135および140-1)が誘導回路100を形成している。誘導回路100は、基板105と誘導体層110を含む半導体チップ上に形成されている。

【0012】図12は、集積誘導回路100がさらに、内部回路155に接続され、かつ内部回路が静電気放電(ESD)または電気過応力(EOS)によって損傷されるのを防止するために半導体チップ105上に配設されたボンディング・パッド160に接続された、本発明の好ましい実施例を示す。図1ないし図12はまた、IC製造工程を使用することによって基板105上に集積誘導回路100を製造する方法を開示する。この方法は、(a) 複数の底部誘導線115-1と、複数の上部誘導線125-1と、高磁化係数材料(HMSM)で構成された誘導コア120とを含む3層構造を基板105上に形成しパターン化し、誘導コア120が、上部誘導線115-1および底部誘導線125-1から絶縁され、かつ上部誘導線115-1と底部誘導線125-1との間に形成されるステップと、(b) 各上部誘導線115-1を対応する底部誘導線125-1に接続し、誘導線に誘導電流を導通させ誘導コア120内で誘導磁界を生成する誘導コア120を囲む組み合わせられた誘導線を形成する、誘導コアを貫く複数の接続手段を形成するステップとを含む。好ましい実施例では、集積誘導回路100を製造する前述の方法において3層構造を形成しパターン化するステップ(a)と接続手段を形成するステップ(b)は、IC製造工程を使用し、それによって集積回路100は、約1 μ mまたはそれ以下の線幅で製造される。

【0013】図13～図17は、誘導回路200をICチップ上に製造する別の製造工程を示す。図13はICチップがシリコン基板のような半導体である基板205を含むのを示している。高磁化係数材料層210は最初基板205の上部表面に配置される。さらに、導電層215が高磁化係数材料層210の上部に配置される。この導電層215はさらにエッチングのようなIC加工段階でパターン化され、底部誘導線215-1を形成する。図14は底部誘導線215-1の鳥瞰図を示す。図15は、別の高磁化係数材料層220が底部誘導線215-1の上部に配置されるのを示している。複数のバイア225が高磁化係数材料層220を貫いて形成され、それぞれのバイアは導電物質で充たされ、底部誘導線215-1と接続する。別の導電層230が高磁化係数材料層220の上に形成され、さらにパターン化されて、複数の上部誘導線230-1を形成し、図16に示す通りバイア225と電氣的に接続される。さらに別の高磁化係数材料層235が上部誘導線230-1上に配置され、誘導回路200は図17に示す通り完成する。誘導回路200は底部誘導線215-1、ヴァイア接続線2

25、および上部誘導線230-1を含む誘導線を有し、高磁化係数材料210、220、235を含む高磁化係数材料層に囲まれている。この工程段階と誘導回路の構造は、非導電性高磁化係数材料が使用されている誘導コアに有用で、非常に小さい空間で高いインダクタンスを発生させるのに効率的である。ここではIC技術はICチップ上に誘導回路を製造するのに使用されている。

【0014】このように、図17は半導体チップ上に製造されたIC誘導回路を開示する。IC誘導回路は、層210、220、235を含む高磁化係数材料(HMSM)で構成された誘導コアを備える。誘導回路はさらに、少なくとも誘導線を含み、この誘導線は、底部誘導線215-1と上部誘導線230-1を組み合わせたものである。誘導線は、その内部に誘導電流を導通させ誘導コア内で誘導磁界を形成するために誘導コアの近くに配設される。誘導コアおよび誘導線は、IC工程によってICチップ上、すなわち基板205上に製造される。IC製造工程を使用することにより、図17に示した誘導コアおよび誘導線は、VLSI技法によって製造されたICデバイス上に集積するのに適した約1 μ m以下の線幅のものとなる。

【0015】図13ないし図17は、IC製造工程を使用することによって基板205上に集積誘導回路200を製造する方法も開示する。この方法は、(a)(i)高磁化係数材料(HMSM)で構成された底部誘導コア層210と、(ii)底部高磁化係数材料層210上の複数の底部誘導線215-1と、(iii)底部誘導線215-1の上方の中間層220と、(iv)中間層220上の複数の上部誘導線230-1と、(v)高磁化係数材料(HMSM)で構成された誘導コア層235と、を含む5層構造を基板205上に形成しパターン化し、上部誘導コア層210および底部誘導コア層230ならびに中間層220が、上部誘導線215-1および底部誘導線230-1から絶縁されるステップと、(b)各上部誘導線230-1を対応する底部誘導線215-1に接続し、誘導線に誘導電流を導通させ誘導コア層210および235内で誘導磁界を生成する組み合わせられた誘導線を、上部誘導コア層210および底部誘導コア層235に含まれる体積の内部に形成するステップとを含む。好ましい実施例において、5層構造を形成しパターン化するステップ(a)と、接続手段225を形成するステップ(b)は、IC製造工程を使用し、それによって、集積誘導回路200は、約1 μ mまたはそれ以下の線幅で製造される。好ましい他の実施例では、中間層を形成するステップ(a)は、集積誘導回路200を製造するために、高磁化係数材料(HMSM)を使用することによって中間層を形成するステップである。好ましい他の実施例では、上部誘導コア層および底部誘導コア層ならびに中間層を形成するステップ(a)は、集積回路200を製造

するために、非導電高磁化係数材料で構成された材料を使用することによって層を形成するステップである。

【0016】図18は本発明の好ましい別実施例であり、2つの誘導回路を含む。外部誘導回路310と内部誘導回路360は、本発明で示した技術を利用して形成されている。外部誘導回路310は上部層上に形成された1組の上部誘導線315と底部層上に形成された1組の底部誘導線325を含む。上部誘導線315と底部誘導線325は上部層と底部層間の物質を貫くヴァイア接続線320で接続されている。同様に、内部誘導回路360も内部の上部層上に形成された1組の上部誘導線365と内部の底部層上に形成された底部誘導線375を含み、対応する1組の内部ヴァイア接続線370が内部の上部誘導線365と内部の底部誘導線375を連結している。内部の底部層と外部の底部層が同じまたは異なる水平面にあるかどうかは、IC技術が3層技術を応用するか、4層技術を応用するかによる。図19は、内部および外部誘導回路360と310の側断面図を示す。3層技術の使用により2つの誘導回路の底部層は同じ水平面でオーバーラップしている。図20は、4層技術の使用により2つの誘導回路の底部層が異なった水平面にある内部および外部誘導回路360と310の側断面図を示す。図21は本発明の別の実施例の側横断面図である。ここでは3つの誘導回路、つまり1つの外部誘導回路310と2つの内部誘導回路360と380が本発明の示す4層IC製造技術を使用して形成されている。図18~図20に示されている外部誘導回路310と内部誘導回路360および380は、ICチップ上にアンテナを有する変圧器や異なるフィルターに幅広く応用できる。

【0017】図22と図23は本発明の別の実施例を示す。ここでは、誘導回路400は複数の誘導コイルを接続し、ICチップの異なった水平面上で形成されている。誘導コイル410、420、430はこれらの水平面間の物質を貫く440-1、440-2のような複数のヴァイア接続線で接続され、垂直な誘導回路400が形成されている。図22と図23に示す通り、異なった水平面におけるそれぞれの誘導コイル410、420および430は異なった形や形態のコイルで、場合に応じて異なった強度の誘導磁場を発生する。垂直の誘導回路400は回路で発生されるインダクタンスの強度と状況に応じて、誘導コアとして高磁化係数材料を使用してもしなくてもよい。

【0018】ゆえに、図22と図23には本発明における別の実施例が示されている。誘導回路400は半導体チップ上に組み立てられている。誘導回路400には、複数の誘導コイル410、420、430が含まれ、それぞれ半導体チップにおいて異なった水平面に形成されている。誘導回路400はさらに、複数のヴァイア接続線を含んでいる。ヴァイア接続線440-1、440-

2はそれぞれ二つの誘導コイルを接続するため、水平面を貫き、その結果、半導体チップ上で組み合わされた誘導コイルが形成されている。誘導コイル410、420および430は異なった水平面に配置され、複数のヴァイア接続線440-1および440-2が半導体チップのIC製造過程において製造されている。図22と図23に示す通り、誘導回路400は垂直誘導コイルである。図24に示すような類似の誘導回路を水平方向に形成することもできる。誘導コイル410'、420'および430'は垂直面に形成される。水平面を貫くヴァイア接続線を利用することにより、これらのコイルはそれぞれ異なった水平面における複数の誘導線によって接続されている。例えば、垂直の誘導コイル410'の場合、水平の誘導線410-H-1から410-H-2へは、ヴァイア接続線410-V-2が接続し、410-H-3から410-H-4へは、ヴァイア接続線410-V-3が接続している。組み合わされた誘導回路400'は垂直の誘導コイル410'、420'および430'が水平の誘導線440-1'および440-2'で接続され、形成されている。図23に示す垂直の誘導回路400と異なり、多層IC製造技術においてしばしば直面する問題に制限されることなく、どちらの方向にも柔軟に伸ばすことができる。

【0019】本発明は、ICチップ上における誘導回路の構造を製造方法を提供し、従来の技術で直面する問題を克服できるものである。とくに集積誘導回路と製造方法により、現在誘導回路の大きさをVLSIまたはULSIのライン幅に相当する1 μ m以下にまで小さくでき、ICデバイスとして誘導回路を集積できる。つまり、誘導回路を組み入れた電子部品の製造品質はIC製造工程の使用により改善することができ、それにより、誘導回路はIC製造工程において、縮小化、量産化することができる。さらに、本発明は誘導回路をICデバイスの一部として集積する製造方法とIC構造を提供している。IC技術により提供されるよりよい設計とより高い製造品質により、誘導回路を組み入れている電子部品のスピード、制御の精度、その他操作特性のようなパフォーマンスの水準を改善することができる。

【0020】本発明は実施例について述べてきたが、上記の説明と具体的描写は本発明の権利を制限するものではない。一般の技術者が本発明の内容を読めば、各種の変更や修正はすでに明らかである。つまり、本発明の真髄とその範囲における本発明の変更や修正は、本発明の請求範囲に含まれると解釈されるものである。

【0021】

【発明の効果】本発明では、誘導回路をIC回路の一部として組み入れており、そのラインの幅を1 μ mより小さくすることで、当該誘導回路を完全にIC回路の一部とすることができる。

【図面の簡単な説明】

【図1】本発明における誘導回路の製造の加工段階を示す側面図である。

【図2】誘導体層上にパターン化された底部誘導線を示す平面図である。

【図3】第2の誘導体層が底部誘導線上に形成されている状態の側面図である。

【図4】誘導コアの上部に別の誘導体層を設置した状態の側面図である。

【図5】複数のバイアが誘導体層を貫いて形成された状態を示す平面図である。

【図6】別の導電層が上部の誘導体層上に形成された状態の側面図である。

【図7】導電層がエッチングとパターン化により上部誘導線となる状態を示す説明図である。

【図8】誘導回路100から成る本発明の実施例の説明図である。

【図9】誘導回路の形態を一層明瞭に示す説明図である。

【図10】誘導回路の形態を一層明瞭に示す説明図である。

【図11】誘導線の鳥瞰図である。

【図12】誘導線の透視図である。

【図13】別の誘導回路をICチップ上に製造する製造工程の説明図である。

【図14】底部誘導線の平面図である。

【図15】別の高磁化係数材料層が底部誘導線の上部に配置される状態を示す説明図である。

【図16】高磁化係数材料層を貫く複数のバイアが、導電層のパターン化により形成される複数の上部誘導線により電気的に接続される状態の説明図である。

【図17】別の高磁化係数材料層が上部誘導線上に配置され、誘導回路完成する状態の説明図である。

【図18】2つの誘導回路を含む本発明の別実施例の説明図である。

【図19】内部および外部誘導回路の側断面図である。

【図20】4層技術の使用により2つの誘導回路の底部層が異なった水平面にある内部および外部誘導回路の側断面図である。

【図21】3つの誘導回路を含む本発明の別の実施例の側横断面図である。

【図22】複数のコイルを水平面を貫くヴァイア接続線で連結して形成した誘導回路の透視図である。

【図23】他の誘導回路の透視図である。

【図24】更に他の誘導回路の透視図である。

【符号の説明】

100, 200, 400 誘導回路

105, 205 基板

110, 120, 130, 150 誘導体層

115, 140, 215, 230 導電層

115-1, 215-1, 325, 365 底部誘導

線

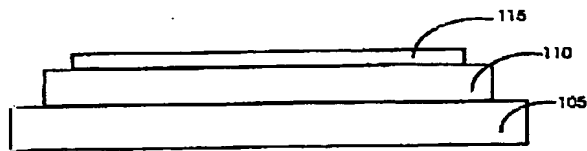
125, 210, 220, 235 高磁化係数材料
(HMSM) 層

125-1 誘導コア

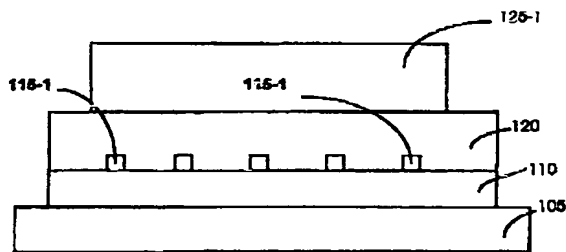
135, 225, 440-1, 440-2 ヴァイア
接続線

140-1, 230-1, 315, 375 上部誘導

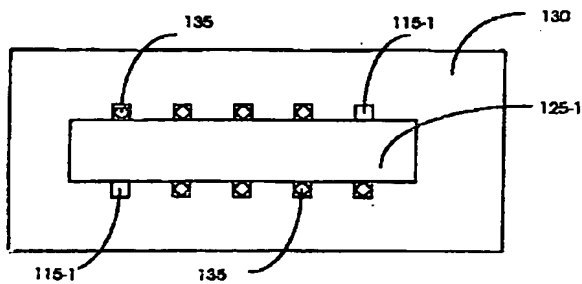
【図1】



【図3】



【図5】



線

155 内部回路

160 ボンディング・パッド

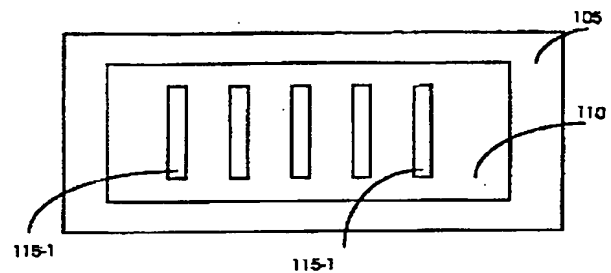
310 外部誘導回路

360 内部誘導回路

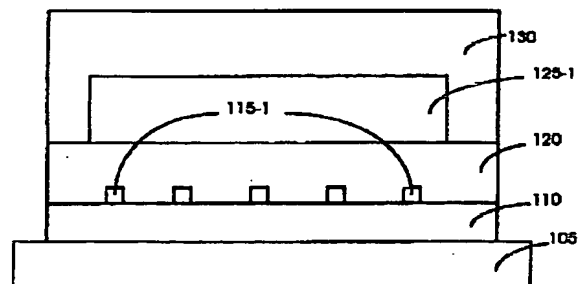
370 内部ヴァイア接続線

410, 420, 430 誘導コイル

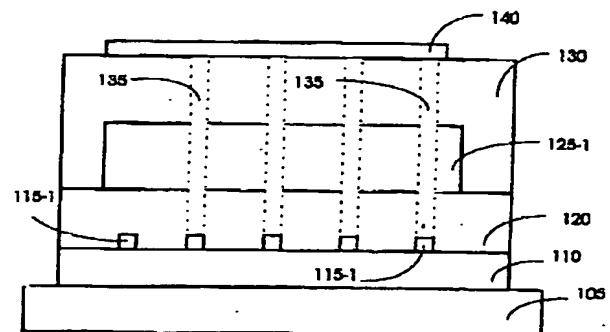
【図2】



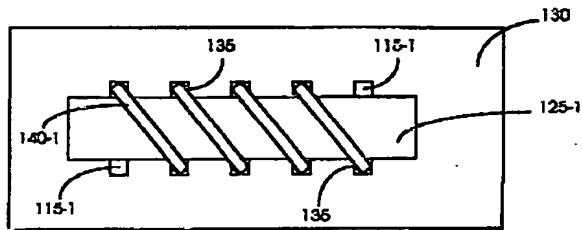
【図4】



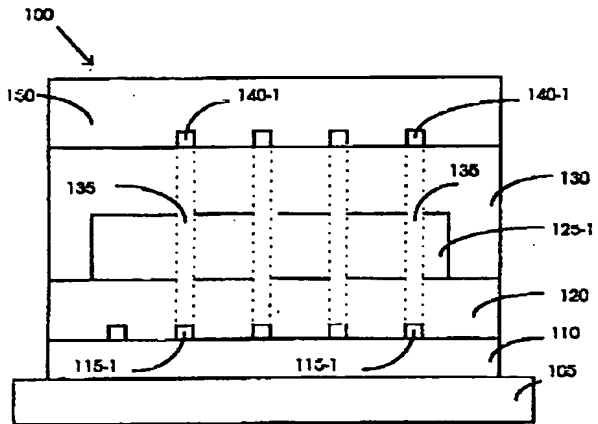
【図6】



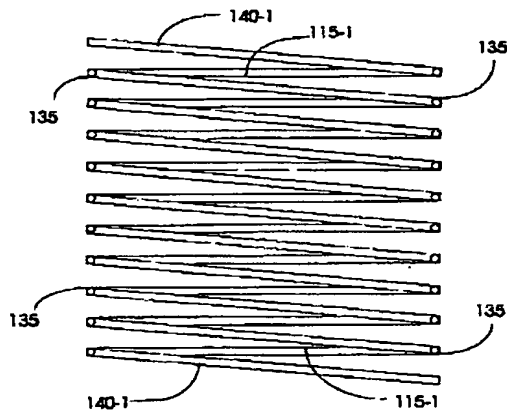
【図7】



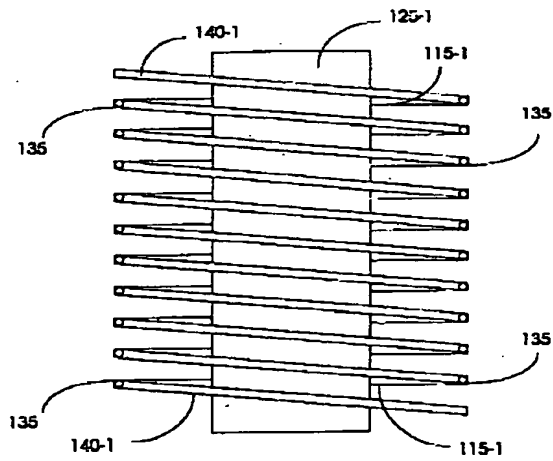
【図8】



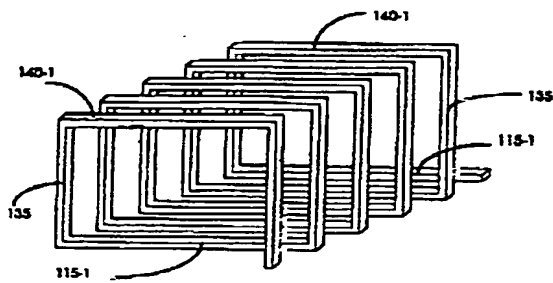
【図9】



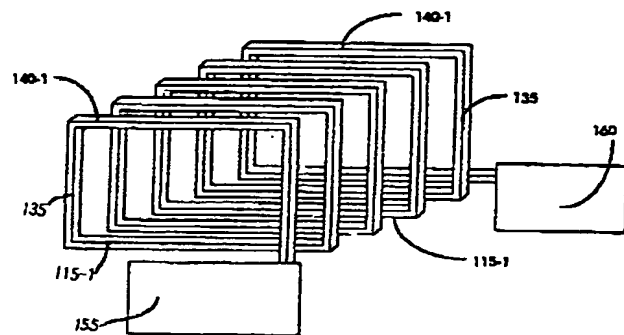
【図10】



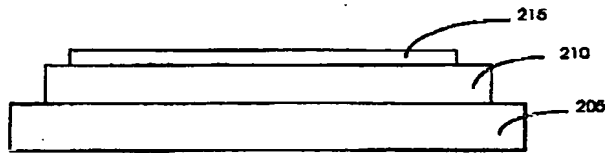
【図11】



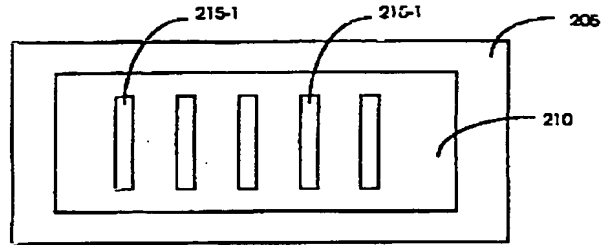
【図12】



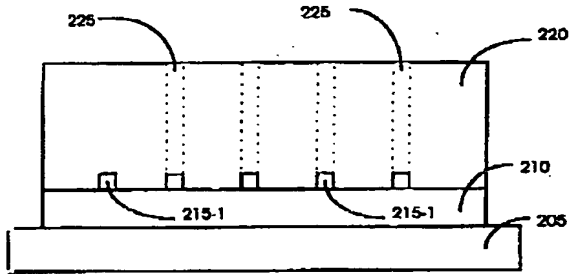
【図13】



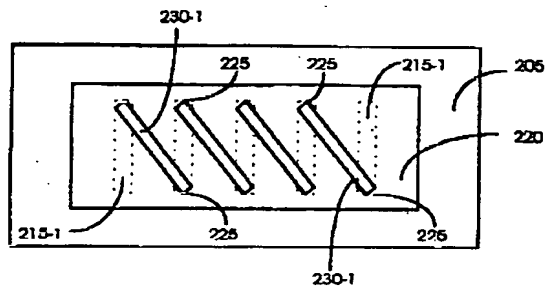
【図14】



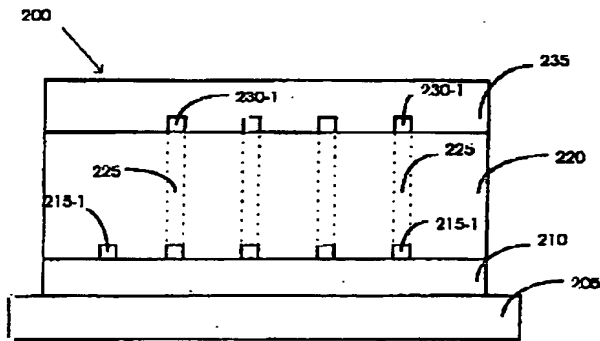
【図15】



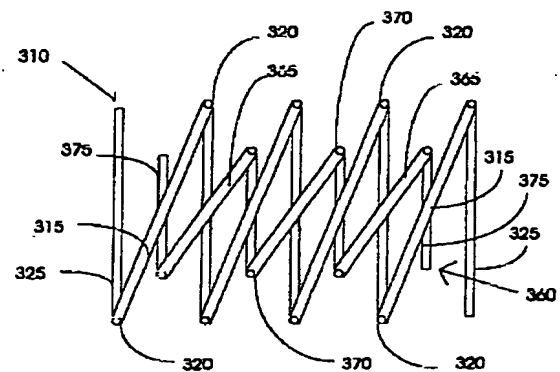
【図16】



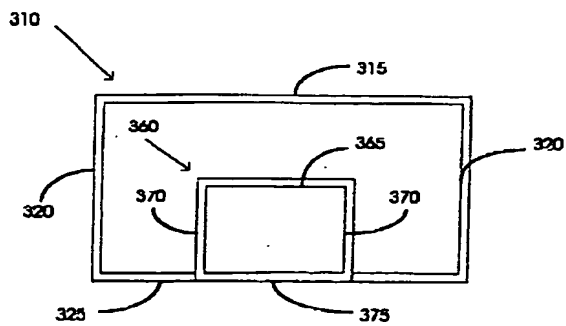
【図17】



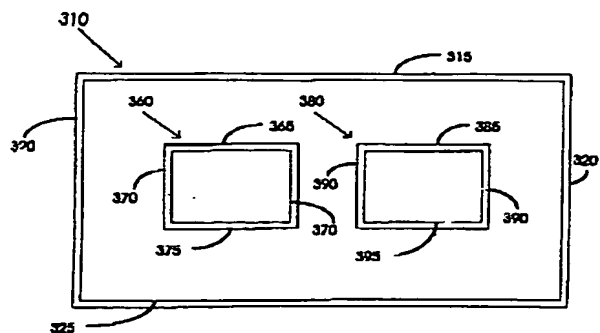
【図18】



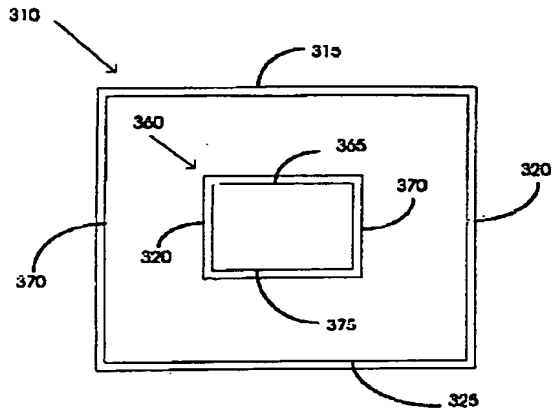
【図19】



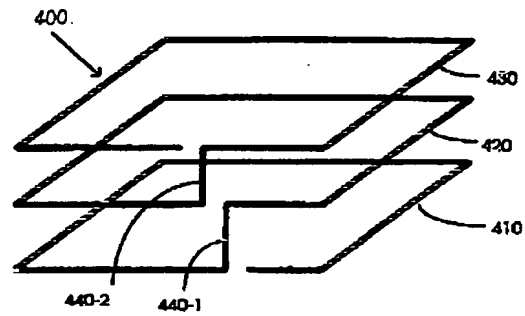
【図21】



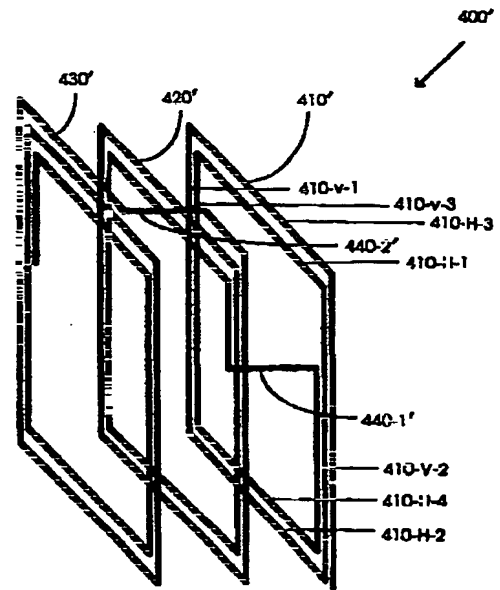
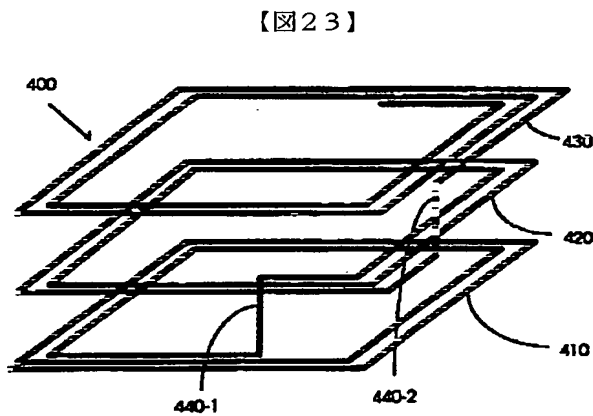
【図20】



【図22】



【図24】



フロントページの続き

(71)出願人 596184672
250 Santa Ana Court
Sunnyvale, CA 94086, U.
S. A.

(72)発明者 ペイチン リン
アメリカ合衆国、カリフォルニア州
95129、サンホセ、ロイヤル アン コー
ト 1439

【外国語明細書】

1 Title of Invention

STRUCTURE AND FABRICATION PROCESS
OF INDUCTORS ON SEMICONDUCTOR CHIP

2 Claims

CLAIMS

1 claim:

1. An integrated-circuit (IC) inductive circuit fabricated on a semiconductor chip comprising :

an inductive line formed by connecting a plurality of conductive lines disposed on several layers in said semiconductor chip by utilizing a plurality of via-connecting lines penetrating between said several layers in said semiconductor chip thus forming an IC inductive coil in said semiconductor chip; and

said inductive line disposed on several layers and said plurality of via-connecting lines are fabricated by IC processes on said semiconductor chip.

2. The IC inductive circuit of claim 1 further comprises :

an inductive core composed of high magnetic susceptible material (HMSM); and

said IC inductive coil is disposed near said inductive core for conducting an inductive electric current therein for generating an inductive magnetic field in said inductive core.

3. The integrated inductive circuit of claim 2 wherein:

said inductive core and said IC inductive coil as fabricated by said IC processes are of a linewidth approximately one micron or less.

4. The integrated inductive circuit of claim 1 wherein:

said IC inductive coil as being disposed near said inductive core is disposed inside of said inductive core.
5. The integrated inductive circuit of claim 1 wherein:

said IC inductive coil as being disposed near said inductive core is disposed outside of said inductive core.
6. The integrated inductive circuit of claim 4 wherein:

said IC inductive coil as being disposed inside of said inductive core includes a plurality of bottom-inductive lines disposed on a bottom surface of an intermediate layer inside said inductive core, and a plurality of top-inductive lines disposed on the top surface of said intermediate layer; and

said plurality of via-connecting lines further penetrating said intermediate layer for connecting said bottom-inductive lines and said top-inductive lines forming said inductive line surrounding said intermediate layer.
7. The integrated inductive circuit of claim 6 wherein:

said intermediate layer inside said inductive core surrounded by said inductive line is an HMSM layer.
8. The integrated inductive circuit of claim 6 wherein:

said inductive core and said intermediate layer surrounded by said IC inductive coil are both composed of non-conductive HMSM.

9. The integrated inductive circuit of claim 7 wherein:

said inductive core and said intermediate layer surrounded by said IC inductive coil are both composed of conductive HMSM; and

said inductive core and said intermediate layer both are insulated from said IC inductive coil.

10. The integrated inductive circuit of claim 5 wherein:

said IC inductive coil as being disposed outside of said inductive core includes a plurality of bottom-inductive lines disposed on a bottom surface of an HMSM layer forming said inductive core, and a plurality of top-inductive lines disposed on the top surface of said HMSM layer; and

said plurality of via-connecting lines further penetrating said HMSM layer for connecting said bottom-inductive lines and said top-inductive lines forming said IC inductive coil surrounding said HMSM layer forming said inductive core.

11. The integrated inductive circuit of claim 10 wherein:

said inductive core surrounded by said IC inductive coil is composed of a non-conductive HMSM.

12. The integrated inductive circuit of claim 10 wherein:

said inductive core surrounded by said IC inductive coil is composed of a conductive HMSM; and

said inductive core is insulated from said IC inductive coil.

13. The integrated inductive circuit of claim 12 wherein:

said inductive core further includes an insulation layer disposed on said top surface and said bottom surface for insulating said core from said bottom-inductive lines and said top-inductive lines.

14. An integrated circuit (IC) inductive circuit fabricated on a semiconductor chip comprising :

an inductive core composed of high magnetic susceptible material (HMSM);

at least an IC inductive coil disposed inside of said inductive core for conducting an inductive electric current therein for generating an inductive magnetic field in said inductive core;

said IC inductive coil further including a plurality of bottom-inductive lines disposed on a bottom surface of an intermediate layer inside said inductive core, and a plurality of top-inductive lines disposed on the top surface of said intermediate layer;

said IC inductive coil further includes a plurality of via-connecting lines penetrating said intermediate layer for connecting said bottom-inductive lines and said top-inductive lines forming said inductive line surrounding said intermediate layer;

said inductive core, said intermediate layer inside said inductive core surrounded by said IC inductive coil, and said IC inductive coil being arranged such that an electric current being prevented from transmitted in said inductive core and said intermediate layer; and

said inductive core and said IC inductive coil being fabricated by IC processes on said IC chip each having a linewidth of approximately one micron or less.

15. An integrated circuit (IC) inductive circuit fabricated on a semiconductor chip comprising :

an inductive core composed of high magnetic susceptible material (HMSM);

at least an IC inductive coil line disposed outside of said inductive core for conducting an inductive electric current therein for generating an inductive magnetic field in said inductive core;

said IC inductive coil further including a plurality of bottom-inductive lines disposed on a bottom surface of an HMSM layer forming said inductive core, and a plurality of top-inductive lines disposed on the top surface of said HMSM layer; and

said IC inductive coil further includes a plurality of via-connecting lines penetrating said HMSM layer for connecting said bottom-inductive lines and said top-inductive lines forming said IC inductive coil surrounding said HMSM layer forming said inductive core;

said inductive core surrounded by said IC inductive coil, and said IC inductive coil being arranged such that an electric current being prevented from transmitted in said inductive core; and

said inductive core and said IC inductive coil being fabricated by IC processes on said IC chip each having a linewidth of approximately one micron or less.

16. The integrated inductive circuit of claim 15 wherein:

said inductive core further is composed of a conductive HMSM and includes an insulation layer disposed on said top surface and said bottom surface for insulating said core from said bottom-inductive lines and said top-inductive lines.

17. The integrated inductive circuit of claim 1 wherein:

said inductive coil further is connected to an internal circuit and a bonding pad disposed on said semiconductor chip for protecting said internal circuit from being damaged by electric static discharge (ESD) or electric over stress (EOS).

18. An integrated-circuit (IC) inductive circuit fabricated on a semiconductor chip comprising :

a plurality of inductive coils each formed on a separate horizontal plane in said semiconductor chip;

a plurality of via-connecting lines each penetrating between said horizontal planes for connecting two of said inductive coils thus forming an combined IC inductive coil in said semiconductor chip; and

said inductive coils disposed on several horizontal planes and said plurality of via-connecting lines are fabricated by IC processes in said semiconductor chip.

19. A method for fabricating an integrated inductive circuit on a substrate by employing IC fabrication processes comprising the steps of:

(a) forming and patterning a three layer structure on said substrate including a plurality of bottom inductive lines, a plurality of top inductive lines and an inductive core composed of high magnetic susceptible material (HMSM), said inductive core being insulated from and formed between said top-inductive and said bottom inductive lines; and

(b) forming a plurality of connecting means through said inductive core for connecting each of said top inductive lines to a corresponding bottom inductive line forming a combined IC inductive coil surrounding said inductive core for conducting an inductive electric current therein for generating an inductive magnetic field in said inductive core.

20. The method for fabricating said integrated inductive circuit of claim 19 wherein:

said step (a) for forming and patterning said three layer structure and said step (b) of forming said connecting means utilizing said IC fabrication processes whereby said integrated inductive circuit is fabricated with a linewidth of approximately one micron or less.

21. A method for fabricating an integrated inductive circuit on a substrate by employing IC fabrication processes comprising the steps of:

(a) forming and patterning a five layer structure on said substrate including (i) a bottom inductive core layer composed of a high magnetic susceptible material (HMSM), (ii) a plurality of bottom inductive lines on said bottom HMSM layer, (iii) an intermediate layer above said bottom inductive lines, (iv) a plurality of top inductive lines on said dielectric layer, and (v) an inductive core layer composed of high magnetic susceptible material (HMSM), said top and bottom inductive core layers and said intermediate layer being insulated from said top inductive and said bottom inductive lines; and

(b) forming a plurality of connecting means through said intermediate layer for connecting each of said top inductive lines to a corresponding bottom inductive line forming a combined IC inductive coil inside a volume contained in said top and bottom inductive core layers for conducting an inductive electric current therein for generating an inductive magnetic field in said inductive core layers.

22. The method for fabricating said IC inductive circuit of claim 21 wherein:

said step (a) for forming and patterning said five layer structure and said step (b) of forming said connecting means utilizing said IC fabrication processes whereby said integrated inductive circuit is fabricated with a linewidth of approximately one micron or less.

23. The method for fabricating said integrated inductive circuit of claim 20 wherein:

said step (a) for forming said intermediate layer is a step of forming said intermediate layer by using a high magnetic susceptible material (HMSM).

24. The method for fabricating said integrated inductive circuit of claim 20 wherein:

said step (a) for forming said top and bottom inductive core layers and said intermediate layer is a step of forming said layers by using materials composed of non-conductive high magnetic susceptible materials.

3 Detailed Description of Invention

BACKGROUND OF THE INVENTION1. Field of the Invention

This invention relates generally to the structure and fabrication process of the integrated circuits (ICs). More particularly, this invention relates to the structure and fabrication process of implementing the inductive circuits as part of the integrated circuits (ICs) which have line-width in the range of a micron or sub-microns such the the inductive circuit can be fully integrated and be regularly employed as an IC circuit element.

2. Description of the Prior Art

Even though the electronic circuits are continuously being miniaturized through the progress made in the very large system integration (VLSI) and the ultra-large system integration (ULSI) fabrication technology, the integrated circuit (IC) technology is yet limited by a great difficulty that the inductive circuits are still not suitable for IC implementation. This difficulty arises due to the fact that the IC fabrication techniques are mostly 'layer-oriented' which typically involve processes which are applied to multiple horizontal surfaces in a sequential fashion. However, the inductive circuit has a 'non-planar' configuration which typically has a continuous spiral shape. This particular non-planar configuration thus prevents the IC fabrication process to integrate the inductive circuits as part of the IC devices.

This technical difficulty severely limits the application scope of the IC technology. The inductive circuits are broadly used in various filters, oscillators, resonators, transformers, and many other control circuits for applications in communication signal generation and

processing, energy storage, and electric static discharge (ESD) or electric over stress (EOS) protections. This limitation of not able to integrate the inductive circuit on an IC chip greatly hinders the technical progress in these fields. As will be discussed below, the traditional design and fabrication techniques for devices involve inductive circuits are still being applied without much progress for many decades. Such a difficulty further prevents all the devices which incorporate inductive circuits from being benefited from the IC fabrication technology. Thus the devices which requires the use of inductive circuits all tends to have large volume and more costly compared to the IC fabricated devices due to the facts that they cannot be miniaturized and mass-produced by the use of the highly precise and efficient IC fabrication technology.

In U.S. Patent 4,783,646 entitled 'Stolen Article Detection Tag Sheet, and Method for Manufacturing the Same' (issued on November 8, 1988), Matsuzaki discloses a stolen article detection tag sheet. The tag sheet includes a transmitting antenna section, a receiving antenna section and an inductor section connected in series between the receiving and the transmitting antenna section. The tag sheet further includes a semi-conductor diode chip having a semiconductor substrate mounted on and electrically connected to a first portion of the inductor section and a Schottky barrier electrode formed on top of the substrate. The tag sheet further includes a second conductive pattern which is formed in contact with the conductive member of the Schottky barrier electrode. The semiconductor chip diode and the inductor section are connected in parallel to each other to constitute an LC resonator and the frequency of the resonator is determined by the parasitic capacitance of the diode and the inductance which is 2.4 nH in this particular tag sheet.

Matsuzaki discloses a method to implement an LC resonating circuit on a print circuit (PC) board. However, as Matsuzaki's technique discloses a configuration to fabricate an LC circuit, wherein inductance is generated together with a parasitic capacitance by

connecting a conductive line in parallel with the electrode of a diode, it does not teach a method to fabricate an inductor alone on the integrated circuit (IC) chips. Furthermore, since the size of the resonator as disclosed by Matzusaki is in the range of few hundred microns (μm), the technique and device configuration disclosed by Matzusaki are not applicable for fabrication of IC devices with line width of few microns or in the sub-micron range.

In another U.S. Patent 4,841,253 entitled 'Multiple spiral Inductors for DC Biasing of An Amplifier' (issued on June 20, 1989), Crabill discloses a monolithic semiconductor having an on-chip DC biasing which includes a plurality of series connected spiral inductors connected between respective biasing and the semi-conductor circuit. As shown in Figs. 1, 2 and 3, the inductive means as claimed in this Patent, including these spiral inductors are external off-chip components. These type of inductive circuits, due to the particular configuration of expanding as a spiral on a horizontal plane, tend to occupy large IC chip areas and therefore not suitable for compact IC integration, especially for very large scale integration (VLSI). Furthermore, since the plane configuration, the inductance which can be provided by this flat spiral inductor is very limited. The application of the conductors as disclosed and used in Crabill's invention is therefore quite limited.

Other than the spiral inductors as discussed above, the state of the art in utilizing an inductive circuit in various devices can be illustrated by referencing to the U.S. Patent 4,800,32, entitled 'Single Ended Self-Oscillating DC-DC Converter for Intermittently Energized Load Having V_{BE} Responsive Current Limit Circuit' (issued on January 24, 1989) by Sikora, or another U.S. Patent 4,845,580 entitled 'AC DC Spike Eliminating Bandpass Filter' (issued on July 4, 1989) by Kitchen. The inductive circuits as disclosed in these Patents are still introduced as wire-winding circuit components. These inductive circuits obviously cannot be implemented on an IC chip as part of an IC device.

Therefore, there is still a need in the art of IC device fabrication, particularly for the electronic devices which require the use of the inductive circuits, to provide a structure and fabrication process that would resolve these limitations.

SUMMARY OF THE PRESENT INVENTION

It is therefore an object of the present invention to provide a structure and fabrication process of an inductive circuit on an IC chip to overcome the aforementioned difficulties encountered in the prior art.

Specifically, it is an object of the present invention to provide an IC structure and fabrication process such that an inductive circuit can be integrated thereon.

Another object of the present invention is to provide an IC structure and fabrication method to integrate an inductive circuit as part of the IC device such that the dimensions of the inductive device can be reduced to a range comparable to the VLSI or ULSI line-widths.

Another object of the present invention is to provide an IC structure and fabrication method to integrate an inductive circuit as part of the IC device such that the electrical devices which incorporate the inductive circuits can be miniaturized and mass produced by the use of IC fabrication processes.

Another object of the present invention is to provide an IC structure and fabrication method to integrate an inductive circuit as part of the IC device such that the fabrication quality of the electrical devices which incorporate the inductive circuits can be improved by the use of IC fabrication processes.

Another object of the present invention is to provide an IC structure and fabrication method to integrate an inductive circuit as part of the IC device whereby the performance levels such as the speed,

the precision of control or other operational characteristics of the electrical devices which incorporate the inductive circuits can be improved because of the better design and higher fabrication quality provided by the IC technology.

Briefly, in a preferred embodiment, the present invention comprises an inductor circuit. The inductive circuit is fabricated on a semiconductor chip including a substrate layer and a dielectric layer. The inductive circuit includes an inductive core composed of high magnetic susceptible material (HMSM) surrounded by an dielectric layer. The dielectric layer which surrounds the inductor core is further surrounded by a conductive line which includes the bottom conductive lines the conductive lines in the 'vias' through the surrounding dielectric layer and the top conductive lines. The conductive lines are patterned by employing IC fabrication processes. Thus the inductive core, the dielectric layer surrounding the inductive core, and the surrounding conductive line form an inductive circuit and the inductive circuit is formed on the semi-conductor chip which includes the substrate a layer and a dielectric layer.

These and other objects and advantages of the present invention will no doubt become obvious to those of ordinary skill in the art after having read the following detailed description of the preferred embodiment which is illustrated in the various drawing figures.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENT

Figs. 1A to 1G show the processing steps for fabricating an IC inductive circuit 100. Fig. 1A shows a substrate 105 which supports a dielectric layer 110 on the top surface of the substrate 105. A conductive layer 115 is deposited on the top of the dielectric layer 110. The conductive layer 115 is then patterned to form the bottom conductive lines 115-1 by a process of etching or other IC processing steps, e.g., by the use of a photo-lithography technique. Fig. 1B shows a top view of the patterned bottom conductive lines 115-1 on top of the dielectric layer 110. Fig. 1C shows a second dielectric layer 120 is formed on top of the bottom conductive lines 115-1. A high magnetic susceptible material (HMSM) layer 125 is then deposited on top of the dielectric layer 120. The HMSM layer 125 is then etched to form an inductor core 125-1. Fig. 1D shows the next step of depositing another layer of dielectric layer 130 on top of the inductor core 125-1. A plurality of 'vias' 135, i.e., small pin holes 135, are formed through the dielectric layers as that shown in Fig. 1E wherein each 'via' is filled with a conductive material to be in electric contact with the bottom conductive lines 115-1 as that shown in Fig. 1E. Fig. 1F shows that another layer of conductive layer 140 is formed on top of the dielectric layer 130 and the conductive layer 140 is further etched and patterned to form the top conductive lines 140-1 as that shown in Fig. 1G wherein each of the top conductive lines connecting two vias thus forming a circuit surrounding the HMSM inductor core 125-1. Another layer of dielectric layer 150 is then formed on top of the top conductive lines

140-1 to form a passivation and insulation layer 150 for protecting the entire inductor circuit 100.

In order to more clearly show the configuration of the inductive circuit 100, Figs. 1I, 1I', and 1J show the top views and a perspective side view of the inductive line formed by connecting the bottom inductive lines 115-1 and the top inductive lines 140-1 by the use of the via-connecting lines 135. Fig. 1I' shows the inductive circuit 100 including the inductive core 125-1 while Fig. 1I shows the inductive circuit 100 without the inductive core. This three-dimensional multi-planar configuration of the conductive line employed for the formation of the inductive circuit 100 thus provides an IC circuit designer a technique to circumvent the limitation of the traditional layer-oriented IC design concept.

Fig. 1K shows a perspective view of the inductive circuit 100 used for ESD protection wherein one end of the conductive line is connected to the internal circuitry 155 while the other end is connected to a bonding pad 160 to allow discharge of the excessive current generated due to static discharge. In response to static discharge, an inductive voltage and current is generated by the inductive circuit 100, i.e., the connected inductive lines 115-1, 135, and 140-1, which can prevent instant high voltage and current to be discharged in the internal circuitry 155 whereby damages caused by either ESD or EOS can be minimized.

An integrated-circuit (IC) inductive circuit 100 fabricated on a semiconductor chip 105 is disclosed in the present invention. The IC inductive circuit 100 comprises an inductive line formed by connecting a plurality of conductive lines, e.g., conductive lines 115-1 and 140-1, which are disposed on several layers, e.g., the top surface layer and the bottom surface layer, in the semiconductor chip by utilizing a plurality of via-connecting lines 135 penetrating between the several layers in the semiconductor chip 105 thus forming an IC inductive coil in the semiconductor chip 105. The inductive line disposed on several layers

and the plurality of via-connecting lines are fabricated by IC processes on the semiconductor chip 105.

Fig. 1H thus shows a preferred embodiment of the present invention which comprises an inductor circuit 100. The inductive circuit 100 is fabricated on a semiconductor chip including a substrate layer 105 and a dielectric layer 110. The inductive circuit 100 includes an inductive core 125-1 composed of high magnetic susceptible material (HMSM) surrounded by an dielectric layer including the dielectric layers 120 and 130. The dielectric layer, i.e., layers 120 and 130, surrounding the inductor core 125-1 is further surrounded by a conductive line which includes the bottom conductive lines 115-1, the conductive lines in the 'vias' 135, and the top conductive lines 140-1. The conductive lines are patterned by employing IC fabrication processes. Thus the inductive core 125-1, the dielectric layer (layers 120 and 130) surrounding the inductive core 125-1, and the surrounding conductive line (lines 115-1, 135, and 140) form an inductive circuit 100. The inductive circuit 100 is formed on the semi-conductor chip which includes the substrate layer 105 and the dielectric layer 110.

Fig. 1K also shows a preferred embodiment of the present invention wherein the inductive coil of the integrated inductive circuit 100 is further connected to an internal circuit 155 and a bonding pad 160 disposed on the semiconductor chip 105 for protecting the internal circuit 155 from being damaged by electric static discharge (ESD) or electric over stress (EOS).

Figs. 1A to 1K also discloses a method for fabricating an integrated inductive circuit 100 on a substrate 105 by employing IC fabrication processes comprising the steps of: (a) forming and patterning a three layer structure on the substrate 105 including a plurality of bottom inductive lines 115-1, a plurality of top inductive lines 125-1, and an inductive core 120 composed of high magnetic susceptible material (HMSM), the inductive core 120 being insulated from and formed between the top-inductive and the bottom inductive

lines 115-1 and 125-1; and (b) forming a plurality of connecting means 135 through the inductive core for connecting each of the top inductive lines 115-1 to a corresponding bottom inductive line 125-1 forming a combined inductive line surrounding the inductive core 120 for conducting an inductive electric current therein for generating an inductive magnetic field in the inductive core 120. In a preferred embodiment, the step (a) for forming and patterning the three layer structure and the step (b) of forming the connecting means in the aforementioned method for fabricating the integrated inductive circuit 100 utilize the IC fabrication processes whereby the integrated inductive circuit 100 is fabricated with a linewidth of approximately one micron or less.

Figs. 2A to 2E show another sequence of processing steps for making an inductive circuit 200 on an IC chip. Fig. 2A shows an IC chip includes a substrate 205 which may be a semiconductor such as a silicon substrate, and a layer of high magnetic susceptible material 210 which is first deposited on the top surface of the substrate 205. A conductive layer 215 is then deposited on top of this HMSM layer 210. This conductive layer 215 is then patterned by an IC processing step, such as etching, to form a bottom portion of the inductor lines 215-1. Fig. 2B shows the top view of these bottom inductor lines 215-1. Fig. 2C shows another layer of high magnetic susceptible material 220 is deposited on top of the bottom inductor lines 215-1. A plurality of 'vias' 225 are formed through the HMSM layer 220 and each via is then filled with conductive material to contact with the bottom inductor lines 215-1. Another layer of conductive layer 230 is formed on top of the HMSM layer 225 and then patterned to form plurality of top inductor lines 230-1 in electric contact with the vias as shown in Fig. 2D. Then another layer of HMSM layer 235 is deposited on top of the top inductor lines 230-1 to complete the structure of an inductor 200 as shown in Fig. 2E which has the inductor lines including the bottom inductor lines 215-1, the via inductor lines 225, and the top inductor lines 230 surrounded by the HMSM layers including the HMSM layers 210, 220, and 235. The precessing steps and the inductor structure are

particularly useful for an inductive core where a non-conductive high magnetic susceptible material is used and very effective in generating high inductance in a very small volume where IC technology is used for fabricating the inductive circuit on an IC chip.

Fig. 2E thus discloses an IC inductive circuit which is fabricated on a semiconductor chip. The IC inductive circuit comprises an inductive core composed of high magnetic susceptible material (HMSM), including the layers 210, 220, and 235. The inductive circuit further has at least an inductive line, the inductive line combined by the bottom inductive lines 215-1 and the top inductive lines 230-1. The inductive line is disposed near the inductive core for conducting an inductive electric current therein for generating an inductive magnetic field in the inductive core. The inductive core and the inductive line being fabricated by IC processes on the IC chip, i. e., on the substrate 205. By the use of IC fabrication processes, the inductive core and the inductive line as shown in Fig. 2E are of a linewidth approximately one micron or less which is suitable for integrated on an IC device fabricated by the VLSI technology.

Figs. 2A to 2E also disclose a method for fabricating an integrated inductive circuit 200 on a substrate 205 by employing IC fabrication processes comprising the steps of: (a) forming and patterning a five layer structure on the substrate 205 including (i) a bottom inductive core layer 210 composed of a high magnetic susceptible material (HMSM), (ii) a plurality of bottom inductive lines 215-1 on the bottom HMSM layer 210, (iii) an intermediate layer 220 above the bottom inductive lines 215-1, (iv) a plurality of top inductive lines 230-1 on the intermediate layer 220, and (v) an inductive core layer 235 composed of high magnetic susceptible material (HMSM), the top and bottom inductive core layers 210 and 230 and the intermediate layer 220 being insulated from the top-inductive and the bottom inductive lines 215-1 and 230-1; and (b) forming a plurality of connecting means 225 through the intermediate layer 220 for connecting each of the top inductive lines 230-1 to a corresponding bottom inductive line 215-1 forming a

combined inductive line inside a volume contained in the top and bottom inductive core layers 210 and 235 for conducting an inductive electric current therein for generating an inductive magnetic field in the inductive core layers 210 and 235. In a preferred embodiment, the step (a) for forming and patterning the five layer structure and the step (b) of forming the connecting means 225 utilizing the IC fabrication processes whereby the integrated inductive circuit 200 is fabricated with a linewidth of approximately one micron or less. In another preferred embodiment, the step (a) for forming the intermediate layer is a step of forming the intermediate layer by using a high magnetic susceptible material (HMSM) for fabricating the integrated inductive circuit 200. In another preferred embodiment, the step (a) for forming the top and bottom inductive core layers and the intermediate layer is a step of forming the layers by using materials composed of non-conductive high magnetic susceptible materials for fabricating the integrated inductive circuit 200.

Fig. 3A shows another preferred embodiment of the present invention wherein two inductive circuits, i.e., an outer inductive circuit 310 and an inner inductive circuit 360 are formed by utilizing the techniques disclosed in the present invention. The outer inductive circuit 310 includes a set of top-inductive lines 315 formed on a top layer and a set of bottom inductive lines 325 formed on a bottom layer. The top-inductive lines 315 and the bottom inductive lines 325 are connected by via-connecting lines 320 penetrating the material between the top layer and the bottom layer. Similarly, the inner inductive circuit 360 also includes a set of top inductive lines 365 formed on an inner top layer, a set of bottom inductive lines 375 formed on an inner bottom layer, and a corresponding set of inner via-connecting lines 370 connecting the inner top inductive lines 365 and the inner bottom-inductive lines 375. The inner bottom layer may be on the same or different horizontal plane as the outer bottom layer depending on the IC technology applied is a three-layer or a four-layer technology. Fig. 3B shows a side cross-sectional view of the inner and outer inductive circuits 360 and 310 where the bottom layers of these

two inductive circuits overlap on the same horizontal plane by the use of a three-layer technology. Fig. 3C shows a side cross-sectional view of the inner and outer inductive circuits 360 and 310 where the bottom layers of these two inductive circuits are on two different horizontal planes by the use of a four-layer technology. Fig. 3D shows the side cross-sectional view of another preferred embodiment of the present invention wherein three inductive circuits, i.e., an outer inductive circuit 310 and two inner inductive circuits 360 and 380 are formed by using the techniques disclosed in this invention employing a four layer IC fabrication technology. The outer inductive circuit 310 and the inner inductive circuits 360 and 380 as shown in Figs. 3A to 3C may be applied for a wide varieties of IC devices including the formation of voltage transformers, with antenna-on-IC-chip, and different filter applications.

Figs. 4A and 4B shows another preferred embodiment of the present invention wherein an inductive circuit 400 is formed by connecting a plurality of inductive coils formed on different horizontal planes of an IC chip, i.e., inductive coils 410, 420 and 430, by a plurality of via-connecting lines, i.e., 440-1, 440-2, etc. penetrating the material between these horizontal planes to form a vertical inductive coil 400. As shown in Figs. 4A and 4B each of the inductive coils on different horizontal planes, i.e., 410, 420 and 430, may be a coil of different shapes and configurations for generating an inductive magnetic field of different magnitudes depending on the intended applications. The vertical inductive circuit 400 may be formed with or without the use of the HMSM as an inductive core depending the application and the magnitude of the inductance required to be generated by such circuits.

Therefore, Figs. 4A and 4B show another preferred embodiment of the present invention wherein an integrated-circuit (IC) inductive circuit 400 is fabricated on a semiconductor chip. The IC inductive circuit 400 includes a plurality of inductive coils, i.e., coils 410, 420, 430, each formed on a separate horizontal plane in the semiconductor chip. The inductive circuit 400 further includes a plurality of via-connecting

lines, Connecting lines 440-1 and 420-2, each penetrating between the horizontal planes for connecting two of the inductive coils thus forming an combined IC inductive coil in the semiconductor chip. The inductive coils 410, 420, and 430 disposed on several horizontal planes and the plurality of via-connecting lines 440-1 and 440-2 are fabricated by IC processes in the semiconductor chip. The inductive circuits 400 as shown in Figs. 4A and 4B are vertical inductive coils. Similar inductive circuits can be formed in the horizontal direction as that shown in Fig. 4C. wherein inductive coils, i.e., 410', 420', and 430' are formed in several vertical planes. Each of these coils is formed by connecting several conductive lines in different horizontal planes by the use of via-connecting lines penetrating these horizontal planes. For example, the vertical inductive coil 410' is formed by connecting horizontal conductive lines 410-H-1 to 410-H-2 by via-connecting line 410-V-1, horizontal conductive line 410-H-2 to 410-H-3 by via-connecting line 410-V-2, and horizontal conductive line 410-H-3 to 410-H-4 by via-connecting line 410-V-3. A combined inductive circuit 400' is then formed by connecting each of these vertical inductive coils 410', 420' and 430' by horizontal conductive lines 440-1' and 440-2'. Unlike the vertical inductive circuit 400 of Fig. 4B, this combined horizontal inductive circuit 400' can be more flexibly extended in either directions without being limited by the difficulties often encountered in the multiple layer IC processing technology.

The present invention therefore provides a structure and fabrication process of an inductive circuit on an IC chip which is able to overcome the difficulties encountered in the prior art. Specifically, an integrated inductive circuit and fabrication process are taught such that the inductive circuit can be integrated as an IC device since the dimensions of the inductive circuit can now be reduced to a range comparable to the VLSI or ULSI line-widths of approximately one micron or less. Therefore the inductive circuits can be miniaturized and mass produced by the use of IC fabrication processes such that the fabrication quality of the electrical devices which incorporate the inductive circuits can be improved resulting from the use of IC

fabrication processes. Furthermore, the present invention also provides an IC structure and fabrication method to integrate an inductive circuit as part of the IC device whereby the performance levels such as the speed, the precision of control or other operational characteristics of the electrical devices which incorporate the inductive circuits can be improved because of the better design and higher fabrication quality provided by the IC technology.

Although the present invention has been described in terms of the presently preferred embodiment, it is to be understood that such disclosure is not to be interpreted as limiting. Various alternations and modifications will no doubt become apparent to those skilled in the art after reading the above disclosure. Accordingly, it is intended that the appended claims be interpreted as covering all alternations and modifications as fall within the true spirit and scope of the invention.

4 Brief Description of Drawings

BRIEF DESCRIPTION OF THE DRAWINGS

Figs. 1A to 1K are a sequence of cross-sectional views, top views and partial perspective views showing the processing steps employed by the present invention for fabricating an inductive circuit;

Figs. 2A to 2E are a sequence of cross-sectional views or top views showing the processing steps employed by the present invention for fabricating another inductive circuit;

Fig. 3A to 3D shows combinations of different inductive circuits formed on multiple horizontal planes on an IC chip; and

Figs. 4A to 4C show the partial perspective views of the inductive circuits formed by connecting a plurality of horizontal or vertical coils on several horizontal or vertical planes by using either the via-connecting lines penetrating through several horizontal planes or horizontal connecting lines between several vertical planes.

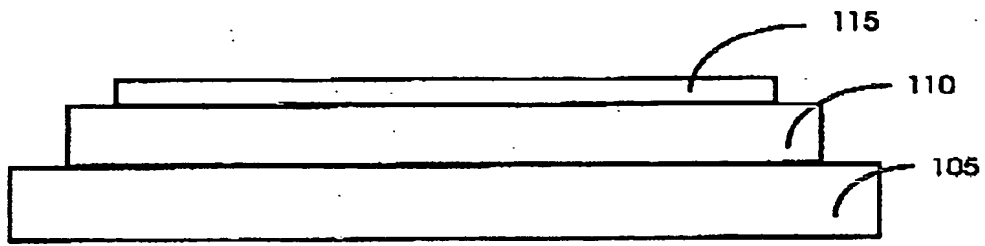


Fig 1A

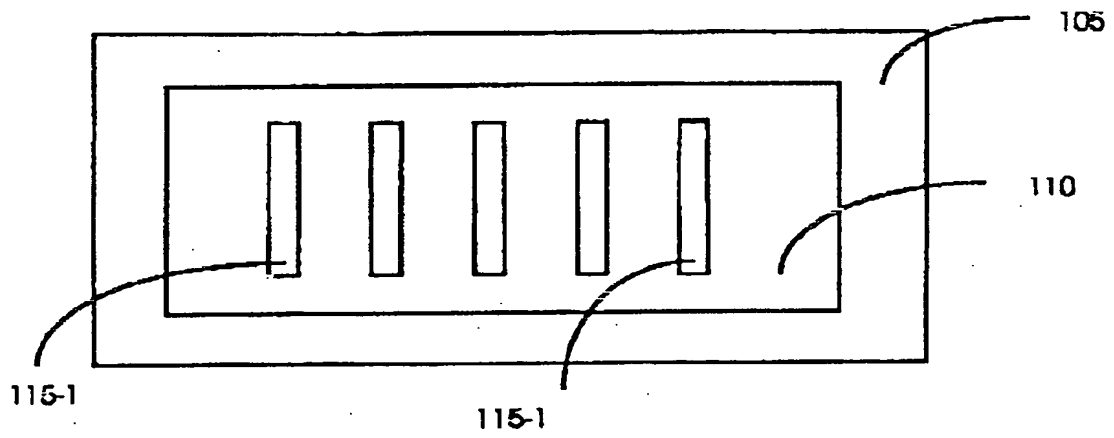


Fig 1B

~~【書類名】~~ 外国語図面

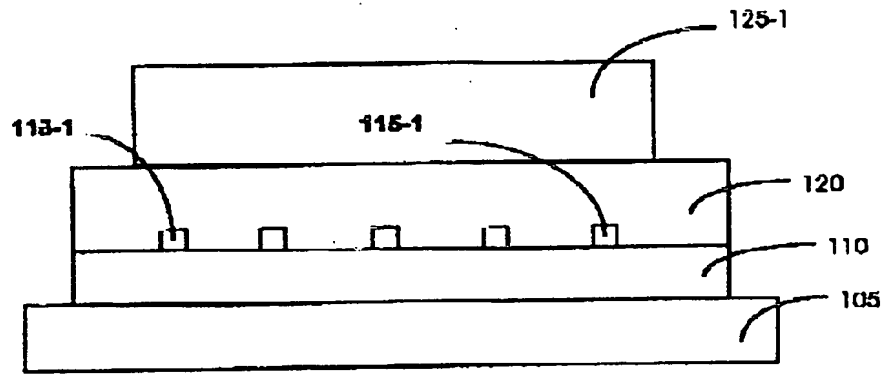


Fig 1C

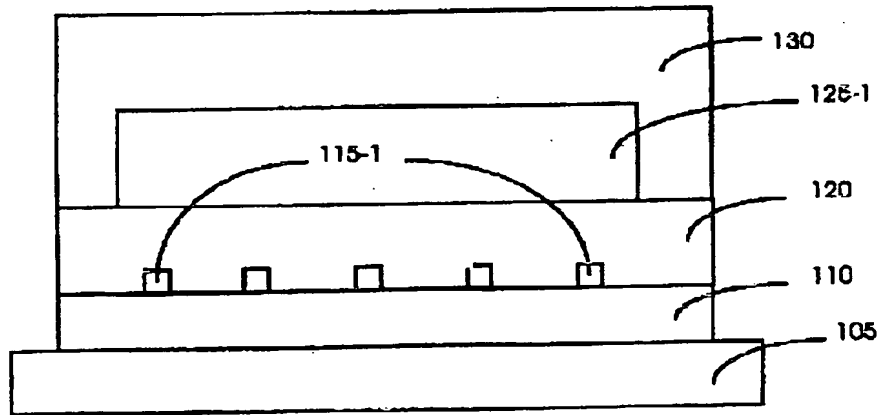


Fig 1D

【書類名】 外国語図面

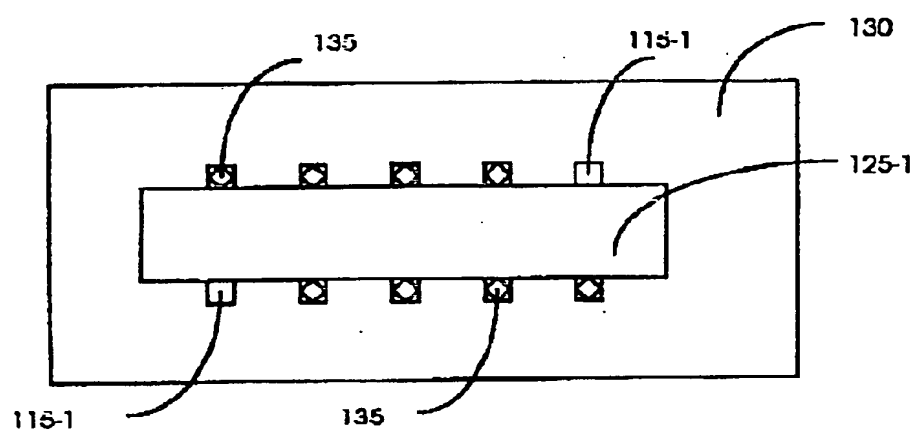


Fig 1E

【書類名】 外国語図面

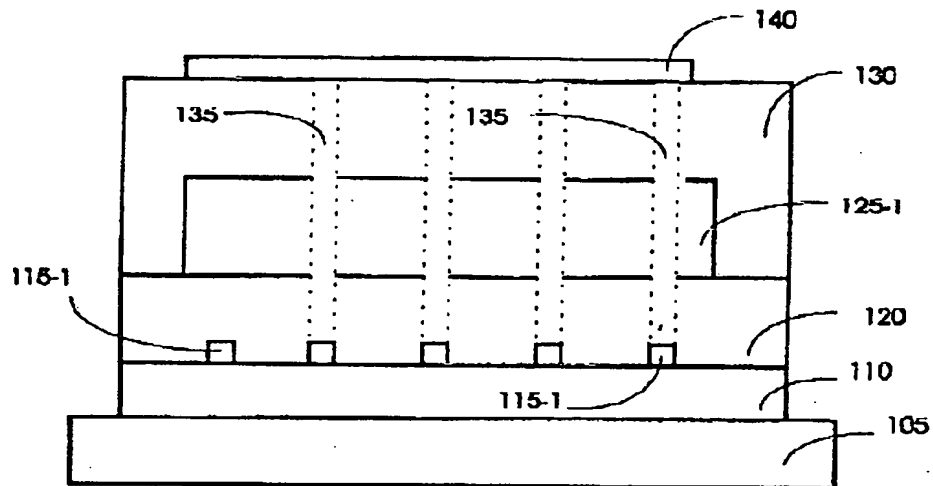


Fig 1F

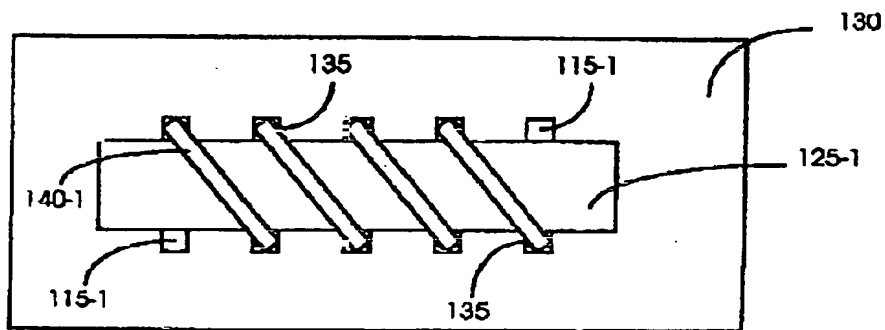


Fig 1G

【書類名】 外国語図面

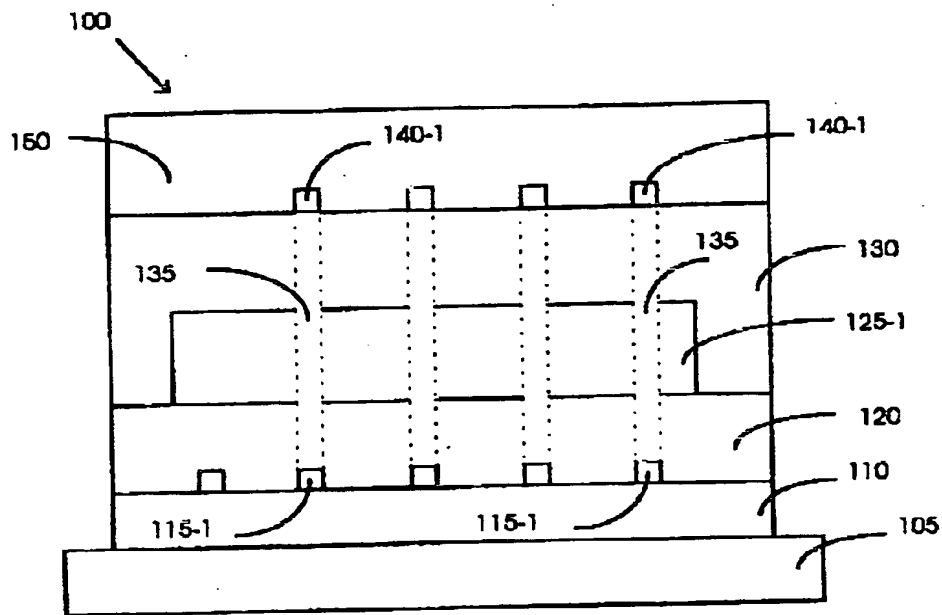


Fig 1H

【書類名】 外国語図面

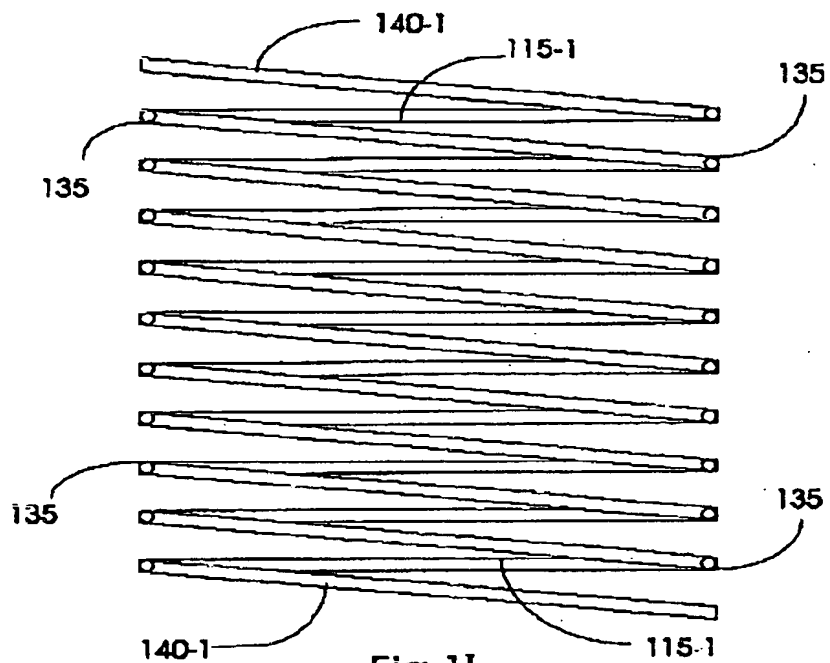


Fig 11

【書類名】 外国語図面

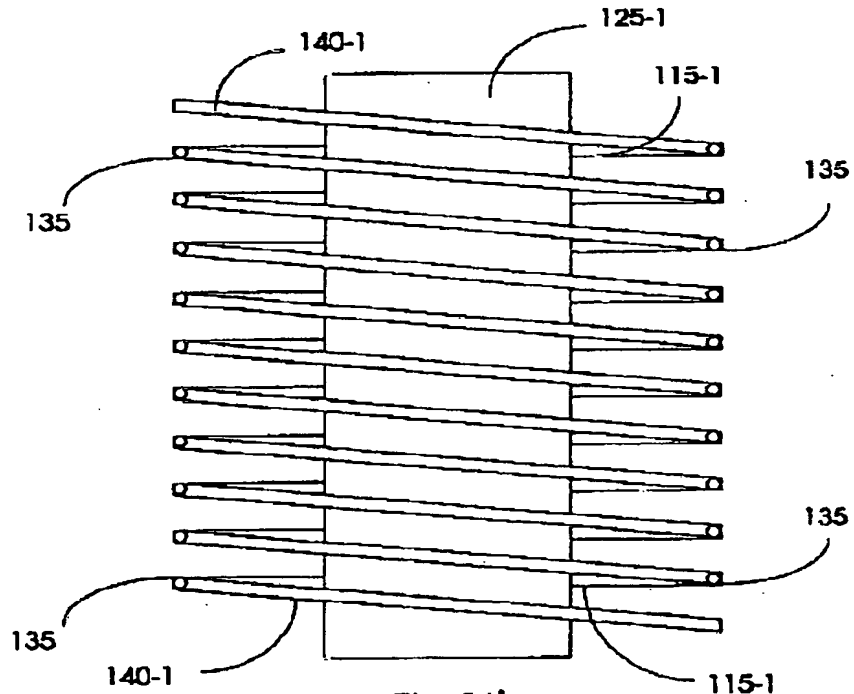


Fig 1I'

【書類名】 外国語図面

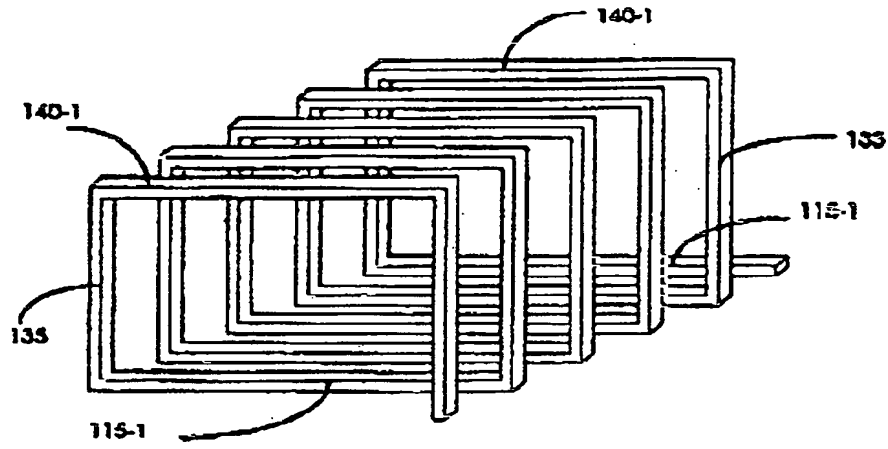


Fig 1J

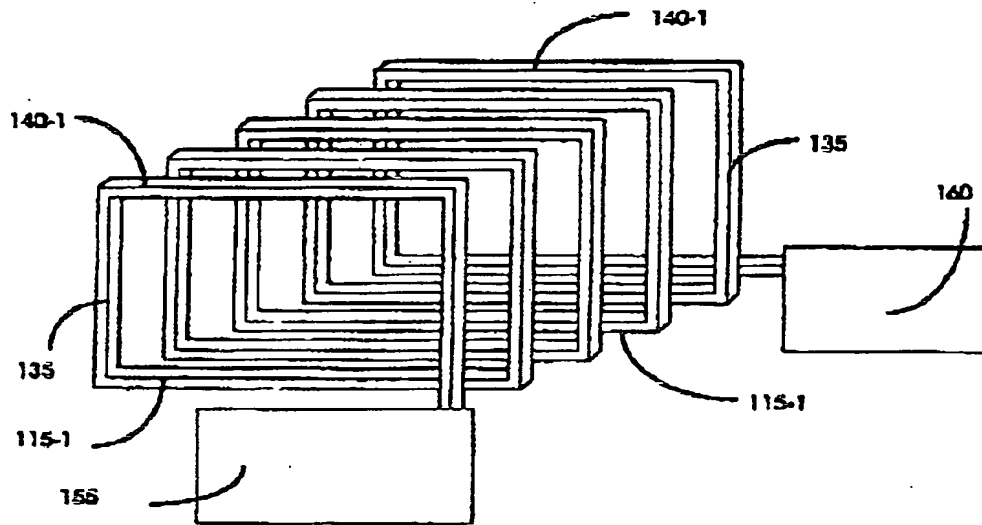


Fig 1K

〔書類名〕 外国語図面

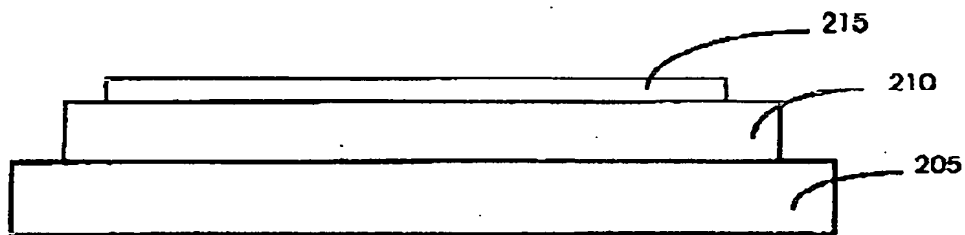


Fig 2A

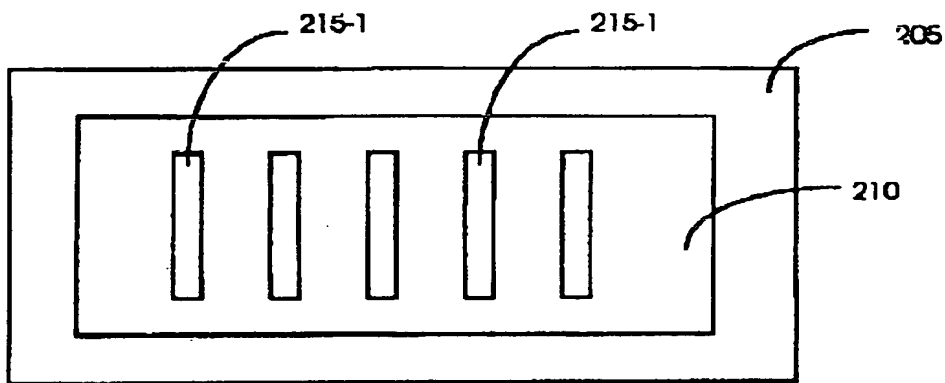


Fig 2B

【書類名】 外国語図面

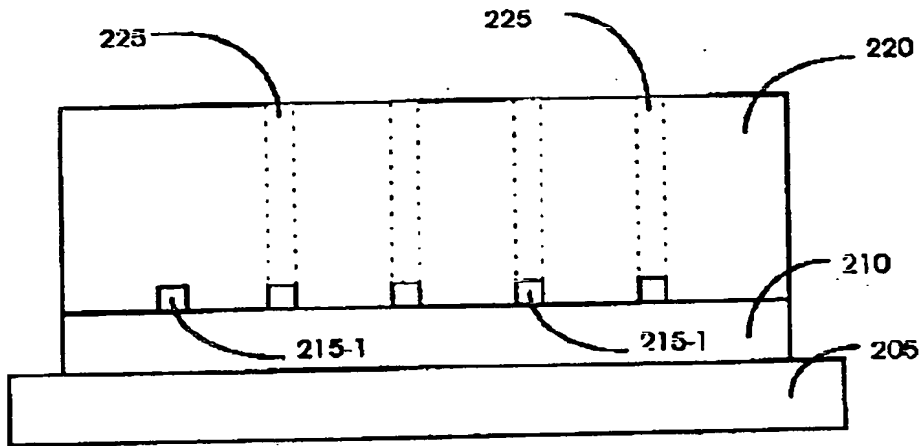


Fig 2C

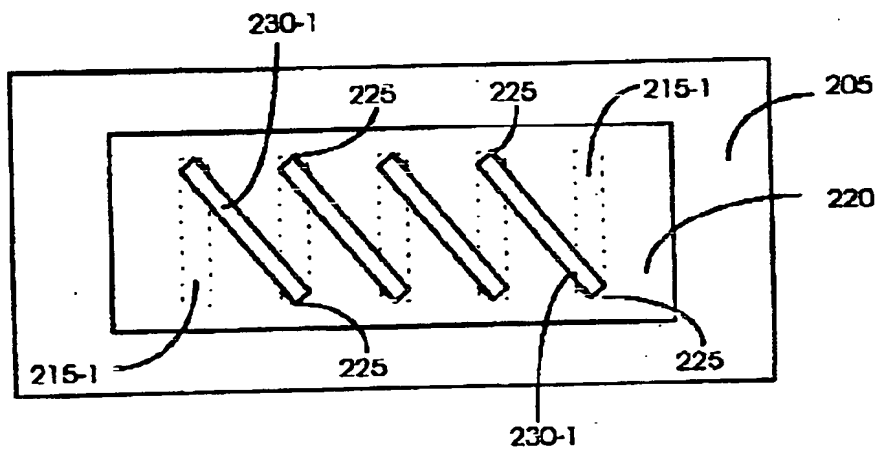


Fig 2D

【書類名】 外国語図面

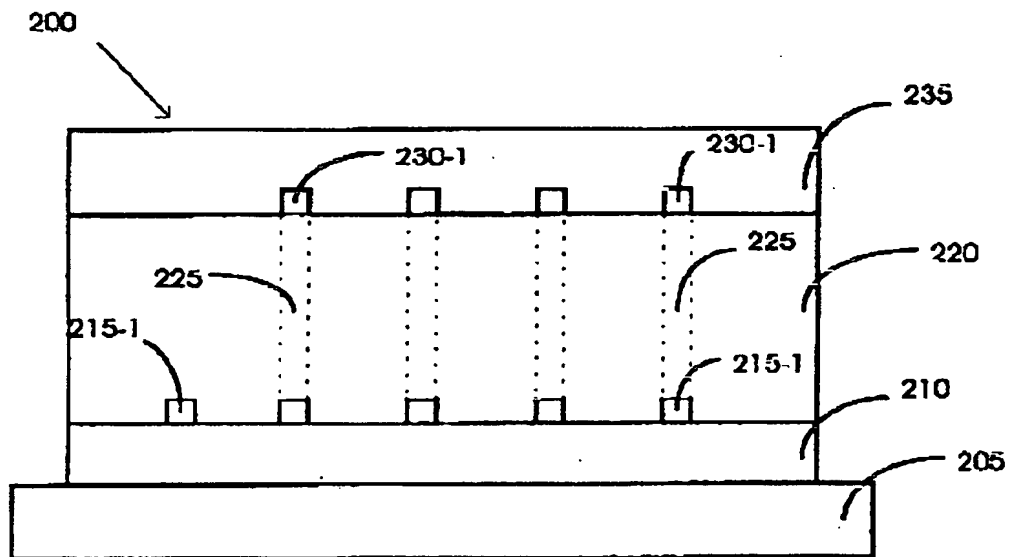


Fig 2E

【書類名】 外国語図面

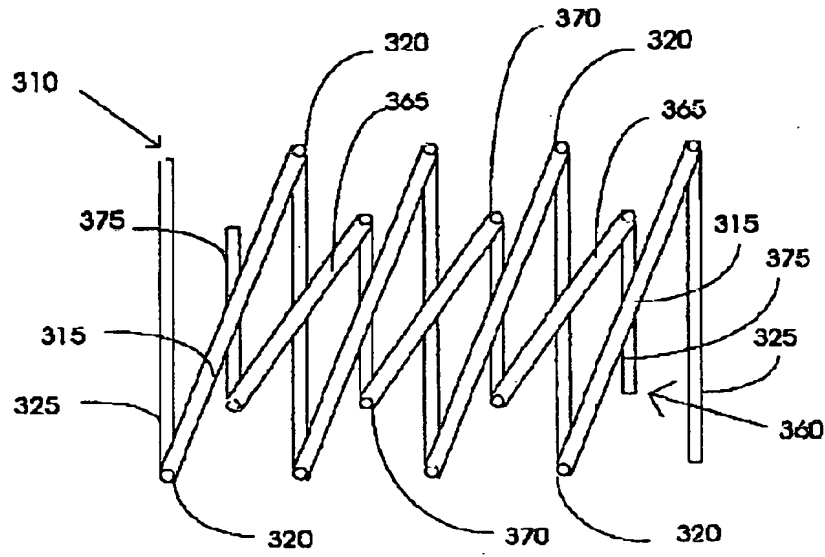


Fig 3A

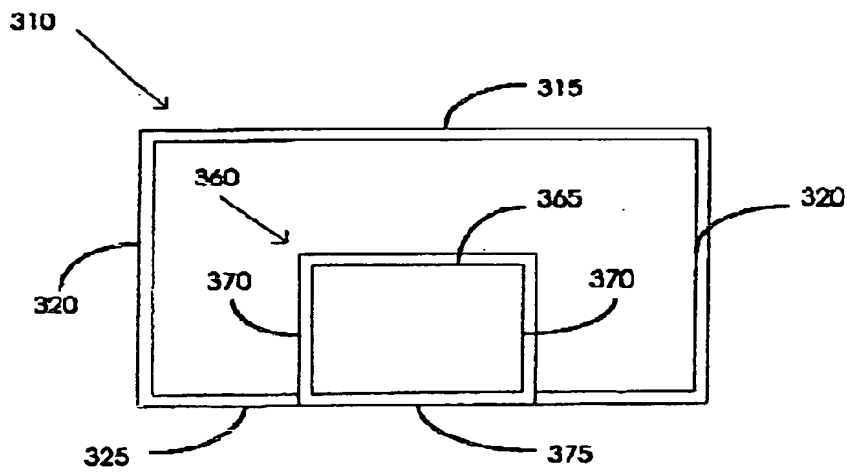
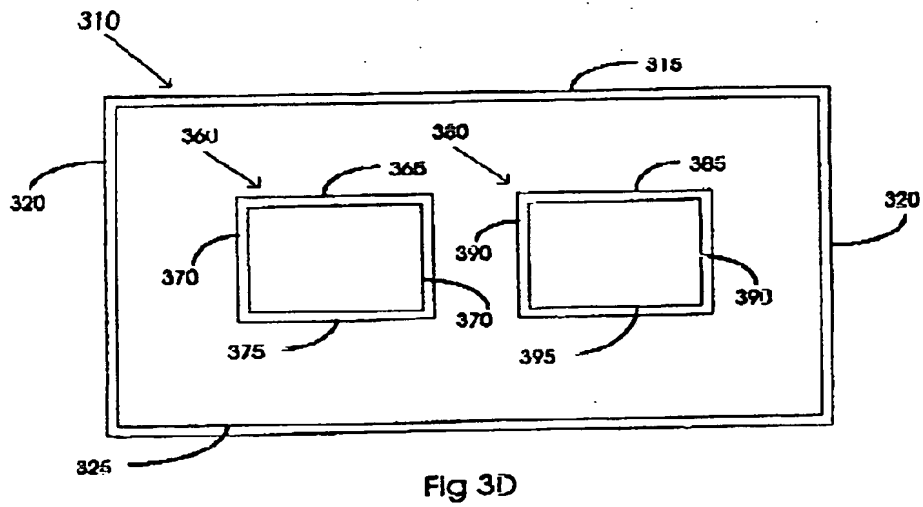
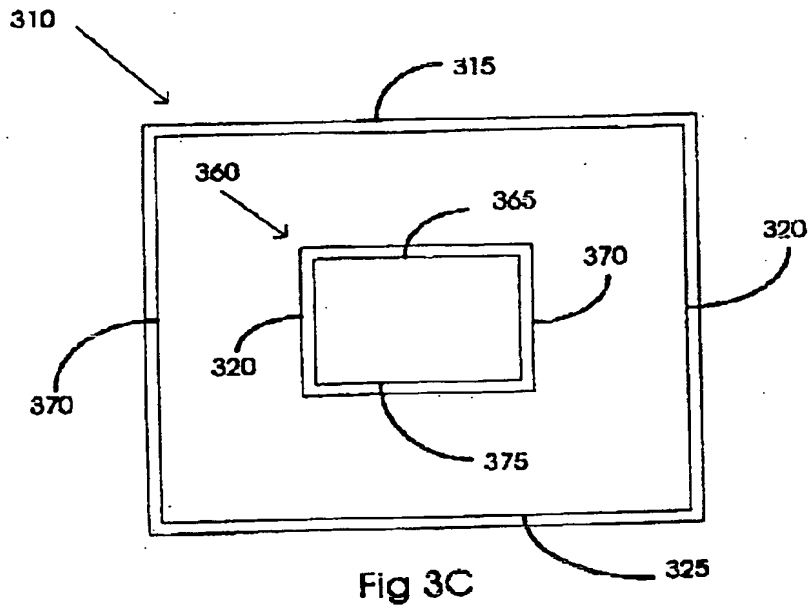


Fig 3B

【書類名】 外国語図面



【書類名】 外国語図面

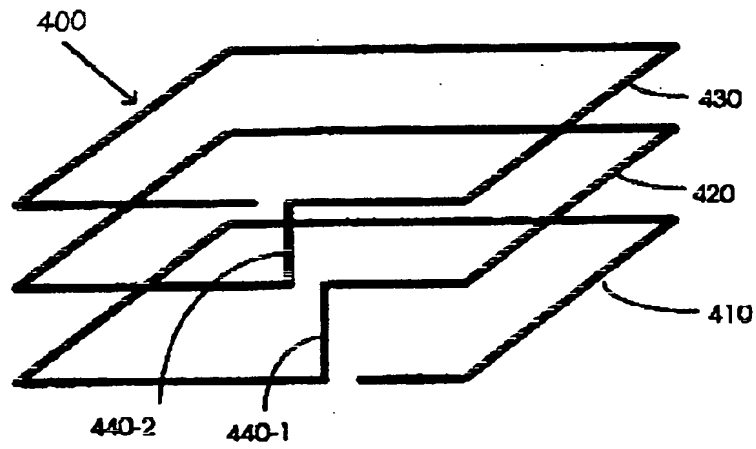


Fig 4A

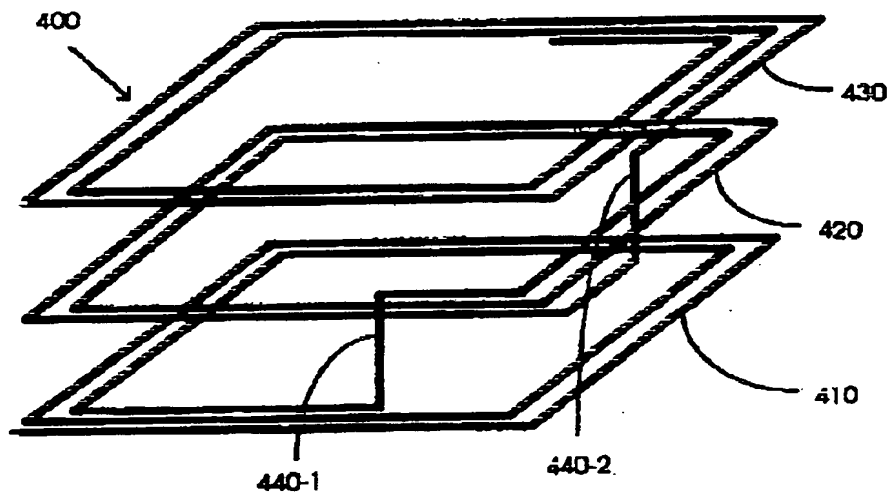


Fig 4B

【書類名】 外図説面

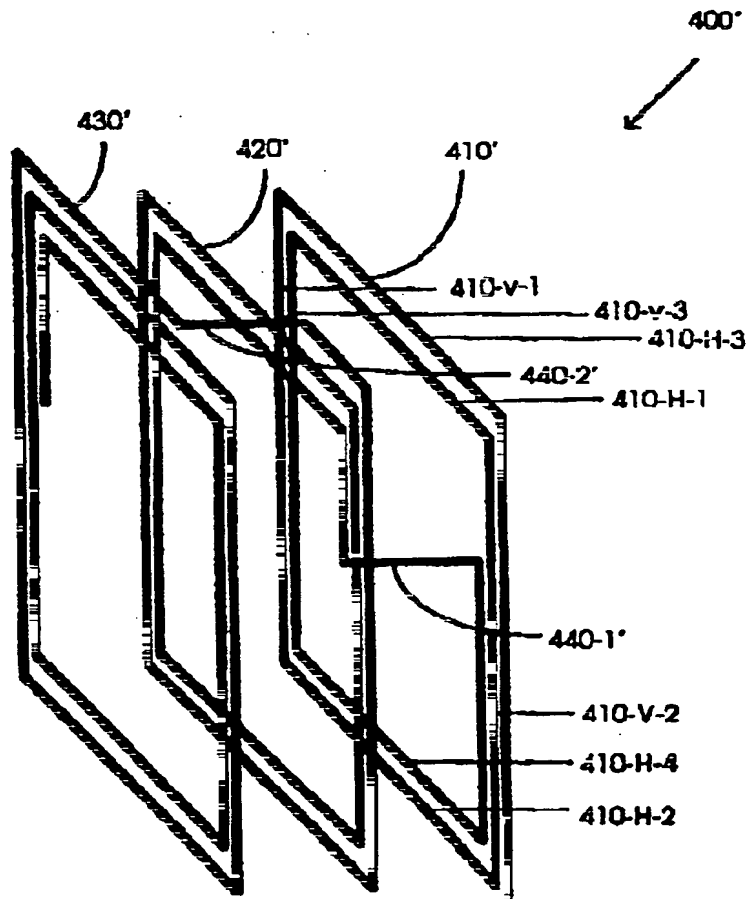


Fig 4C

1 Abstract

ABSTRACT

This invention provides a structure and fabrication process of implementing an inductive circuit as part of an integrated circuit (IC) which has line-width in the range of a micron or sub-microns such that the inductive circuit can be fully integrated and be regularly employed as an IC circuit element. An inductive line formed by connecting a plurality of conductive lines disposed on several layers in a semiconductor chip by utilizing a plurality of via-connecting lines penetrating between said several layers in said semiconductor chip forms an IC inductive coil in said semiconductor chip, and said inductive line disposed on several layers and said plurality of via-connecting lines are fabricated by IC processes on said semiconductor chip.

2 Representative Drawing

fig. 1A